

Введение

IP-ядро «Конвертер потоков AXI и SRIO» является конвертером потоков данных, проходящих между интерфейсами AXI4 и SRIO.

IP-ядро позволяет реализовывать обмен данными между модулями, построенными на базе FPGA фирмы Xilinx семейства Virtex-6/7, и различными устройствами в составе систем, поддерживающих взаимодействия между их составными частями по протоколу «RapidIO Interconnect Specification rev. 2.2».

Применение IP-ядра в качестве строительного блока в решениях, реализуемых на базе FPGA модулей производства ЗАО «Скан Инжиниринг Телеком» позволяет обеспечить полную пропускную способность, масштабируемость и надежность необходимой конфигурации SRIO FPGA модулей.

Возможности

- Поддержка скорости SRIO на одну линию: 1,25/2,5/3,125/5,0 или 6,25 GT/s
- Поддержка объединения линий: x1, x2 или x4
- Взаимодействие между IP-ядрами «Конвертер потоков AXI и SRIO» и «LogiCORE IP Serial RapidIO Gen2 Endpoint» осуществляется пакетами «HELLO»
- Работа с «HELLO» пакетами осуществляется на аппаратном уровне
- Использование SRIO транзакций следующих типов: NREAD, NWRITE, DOORBELL, MAINTENANCE
- Режим доступа к данным через отображаемую память из адресного пространства AXI в пространство SRIO
- Режим доступа к данным через отображаемую память из адресного пространства SRIO в пространство AXI
- Обнаружение и уведомление о возникновении ошибок через прерывания
- Поддержка высокой производительности AXI4 каналов для 64 разрядности шины данных
- Поддержка до 32 исходящих Region of Translation Address в SRIO с возможностью динамической смены трансляции адресов и размеров окон
- Поддержка прямой адресации при обращении из SRIO в AXI4
- Конвейер одновременной трансляции запросов пакетов с данными:
 - из SRIO в AXI – M_AXI: на запись — 4, на чтение — 4;
 - из AXI в SRIO – S_AXI: на запись — 2, на чтение — 8.

Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6 и Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 и SAMC-713/715/726
Поддерживаемые пользовательские интерфейсы	AXI4
Производительность	См. таблицу 1
Ресурсы	См. таблицы 2 и 3
Обеспечение ядра	
Файлы проекта	VHDL, Verilog
Пример проекта	ISE-14.6, Vivado 2014.4
Тестирование	VHDL, Verilog
Файлы настройки	UCF, XDC
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

IP-ядро «Конвертер потоков AXI и SRIO» разработано для использования в средах проектирования ISE и Xilinx Vivado Design Suite. Конвертер позволяет строить взаимодействие между используемыми пользователем интерфейсами AXI4 в FPGA микросхемах и внешними устройствами, поддерживающими протокол «RapidIO Interconnect Specification rev. 2.2» на уровне встраиваемых в них контроллеров. Конвертер обеспечивает трансляцию потоков данных между встраиваемой в FPGA системой с поддержкой режима AXI4 отображаемой памяти и SRIO системой. Архитектура конвертера приведена на функциональной блок-схеме.

Модули преобразования данных «SRIO to AXI» и «AXI to SRIO» подключаются к IP-ядру «LogiCORE IP Serial RapidIO Gen2 Endpoint» посредством AMBA AXI4-Stream интерфейсов. При приёме или передаче данных в IP-ядро «LogiCORE IP Serial RapidIO Gen2 Endpoint», конвертер обрабатывает пакеты «HELLO», формируя или удаляя заголовки этих пакетов, производит трансляцию адресов в обоих направлениях, а также, в случае необходимости, фрагментирует передаваемые данные из AXI-пакетов (от 1 до 2048 байт) и объединяет принимаемые данные из пакетов «HELLO» (от 1 до 256 байт).

Реализация конвертера обеспечивает максимальной утилизации пропускной способности физических каналов SRIO за счёт использования

внутренних буферов и организации конвейеризации потоков данных, механизмов отложенных транзакций AXI шины, высокоэффективного арбитража запросов чтения и записи. При переносе потоков данных между AXI и SRIO шинами возможные потери данных предотвращаются использованием механизмов «Flow Control» в принимающем и передающем направлениях.

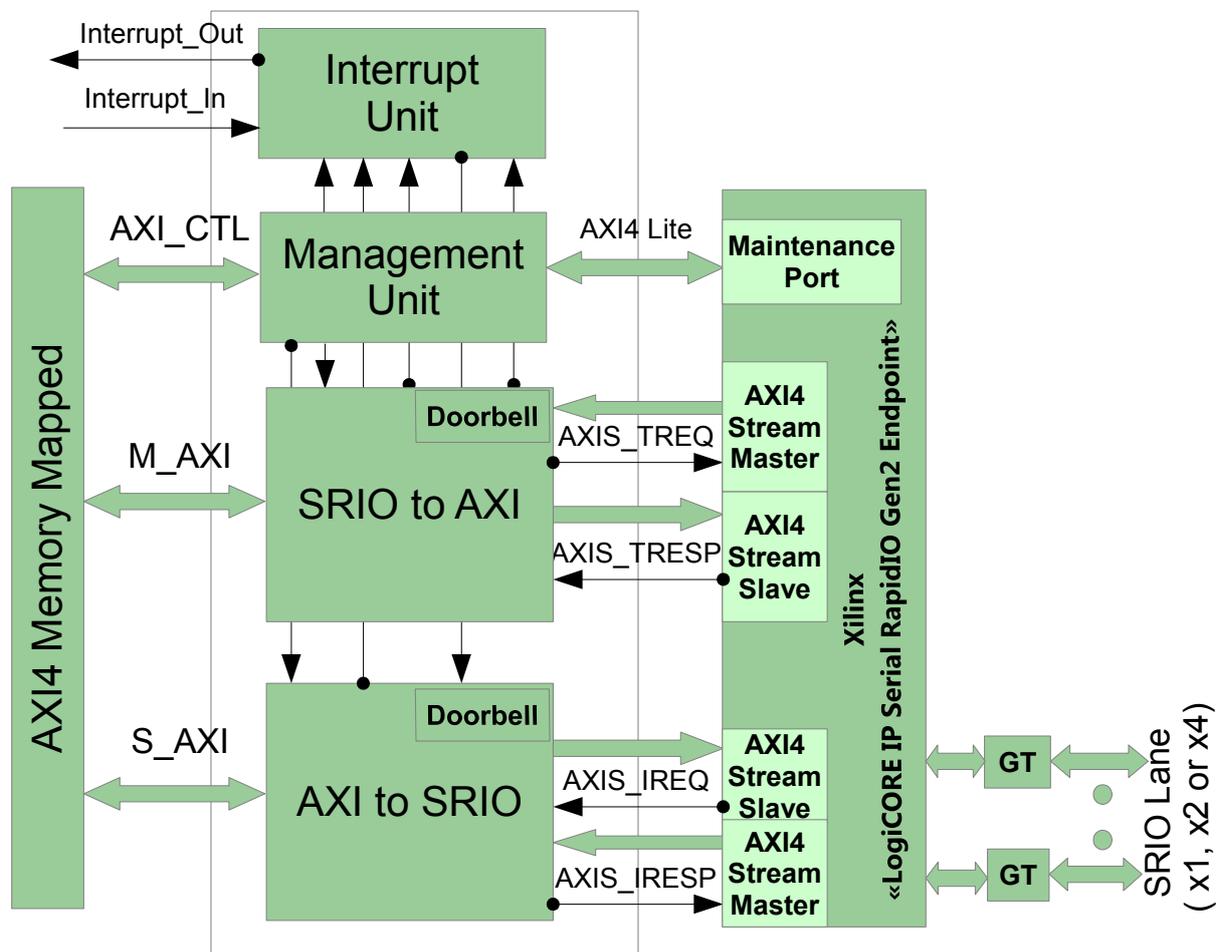
Модуль управления «Management Unit» служит для организации управления конвертором и обеспечивает доступ к регистрам управления IP-ядра «LogiCORE IP Serial RapidIO Gen2 Endpoint».

Модуль обработки прерываний «Interrupt Unit» позволяет организовать прерывания для вышестоящей микропроцессорной системы. Источниками прерываний выступают события уровня обмена SRIO транзакциями типа DOORBELL и события уровня ошибок функционирования конвертера и IP-ядра «LogiCORE IP Serial RapidIO Gen2 Endpoint».

Интерфейс подключения IP-ядра «Конвертер потоков AXI и SRIO» к AXI4 структурам соответствует AMBA совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «Конвертер потоков AXI и SRIO» можно ознакомиться в документе [1].

Функциональная блок-схема



Основные особенности

Конфигурирование подключения между IP-ядром «Конвертер потоков AXI и SRIO», IP-ядром «LogiCORE IP Serial RapidIO Gen2 Endpoint» и GTX/GTH трансиверами осуществляется в среде Xilinx Vivado Design Suite или ISE. Режимы работы линий SRIO задаются установкой необходимых параметров в настройках свойств конвертера.

IP-ядро «LogiCORE IP Serial RapidIO Gen2 Endpoint»:

- совместимость с «RapidIO Interconnect Specification rev. 2.2»;
- функционирование в Memory PE
- поддержка транзакций типа NREAD, NWRITE, DOORBELL, MAINTENANCE ;
- поддержка динамической смены SRIO Base Device ID;
- высокопроизводительный арбитраж операций записи и чтения.

GT трансиверы:

- линейная скорость: 1,25/2,5/3,125/5,0 или 6,25 GT/s;
- объединение линий: x1, x2 или x4.

Параметры пользовательского интерфейса:

- рабочая частота AXI интерфейсов 125 или 156,25 МГц;
- разрядность M_AXI и S_AXI интерфейсов 64 бита;
- разрядность AXI_CTL интерфейса 32 бита;
- поддержка прерываний при фиксации завершения DOORBELL транзакций
- формирование DOORBELL транзакций
- прозрачный режим адресации данных SRIO на M_AXI AXI4;
- 32 исходящих окна S_AXI AXI4 для передачи данных в SRIO с динамически настраиваемыми адресами трансляции (на какое устройство с «Base Device ID» отправлять данные и по какому внутреннему адресу устройства размещать данные) и размерами окон трансляции;
- максимальное использование пропускной способности физических линий интерфейса SRIO.

Таблица 1: Производительность конвертера для FPGA Virtex-6 при использовании для передачи данных IP-ядра Xilinx CDMA транзакциями по 2048 бай

SRIO link	Запись	Чтение
3,125 x1	261 Мб/с	266 Мб/с
3,125 x4	1044 Мб/с	1064 Мб/с

Таблица 2: Требуемые ресурсы для проекта на XC7VX690T (SVP-726/723)

SRIO link	Slices	Registers	LUTs	Block RAM
3,125 x1	4937	13952	13713	23
3,125 x4	5050	15370	14875	23

Таблица 3: Требуемые ресурсы для проекта на XC6VLX240T (SVP-713 и SAMC-713/715/717)

SRIO link	Slices	Registers	LUTs	Block RAM
3,125 x1	4937	13952	13713	23
3,125 x4	5050	15370	14875	23

Ограничения

Использование GT трансиверов в режиме SRIO 5,0 GT/s x4 возможно для FPGA микросхем Virtex-6/7 только с индексами производительности 2 или 3.

Использование GT трансиверов в режиме SRIO 6,25 GT/s x1 и x2 возможно для FPGA микросхем Virtex-6 только с индексами производительности 2.

Использование GT трансиверов в режиме SRIO 6,25 GT/s x4 возможно для FPGA микросхем Virtex-6/7 только с индексами производительности 3.

Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «Конвертер потоков AXI и SRIO» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

Ссылки

1. IP-ядро «Конвертер потоков AXI и SRIO». Руководство пользователя. [UG-IP-SRIO](#) .

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:

Отдел продаж: sales@setdsp.ru
Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015
Документ DS-IP-SRIO 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015