

# SVP-407

 Двухпроцессорный модуль ЦОС для VPX 3U

## Основные особенности

- Две высокопроизводительные системы на кристалле — два многоядерных цифровых сигнальных процессора (DSP) TMS320C6678 Texas Instruments (TI)
- Производительность обработки данных свыше 640 млрд. операций в секунду над операндами с фиксированной запятой или 320 млрд. операций в секунду с плавающей точкой
- По 64-х разрядному банку памяти DDR3 2 Гбайта на каждом DSP
- Модуль форм-фактора VPX 3U, соответствующий спецификациям: ANSI/VITA 46.0 VPX Base Standard (воздушное охлаждение), ANSI/VITA 46.3 Serial RapidIO on VPX Fabric Connector, ANSI/VITA 46.6 VPX Gigabit Ethernet Control Plane on VPX, ANSI/VITA 48.2 Mech Std for Conduction Cooling VPX (кондуктивное охлаждение) и ANSI/VITA 65 OpenVPX
- Поддержка системных интерфейсов: 2 × Gigabit Ethernet, 2 × SRIO 2.1 x4
- Межкристальный интерфейс HyperLink x4 50 Гбит/с

## Обзор модуля

### Современные компоненты и интерфейсы

В основе модуля SVP-407 лежит тандем восьмиядерных DSP TMS320C6678 фирмы TI. Данные DSP являются системами на кристалле и объединяют в себе восемь вычислительных ядер C66x и набор аппаратных ядер, включая сопроцессоры аппаратного шифрования и сетевые сопроцессоры.

Управление всем множеством аппаратных ресурсов процессоров организовано посредством архитектуры KeyStone Multicore TI, предоставляющей высокопроизводительный неблокирующий доступ ко всем компонентам процессора, и включающей в себя четыре основных элемента: менеджер пакетов Multicore Navigator с обработкой до 8192 запросов, широкополосную пакетную шину TeraNet с пропускной способностью до 2 Тбит/с, контроллер памяти Multicore Shared Memory Controller с поддержкой прямого доступа аппаратных ядер к общей внутренней памяти, а также контроллер внешней шины HyperLink, позволяющей организовать высокопроизводительный обмен данными (до 50 Гбит/с) с дополнительным внешним процессором, делая его ресурсы прозрачными для запускаемых задач обработки.

### Высокая производительность

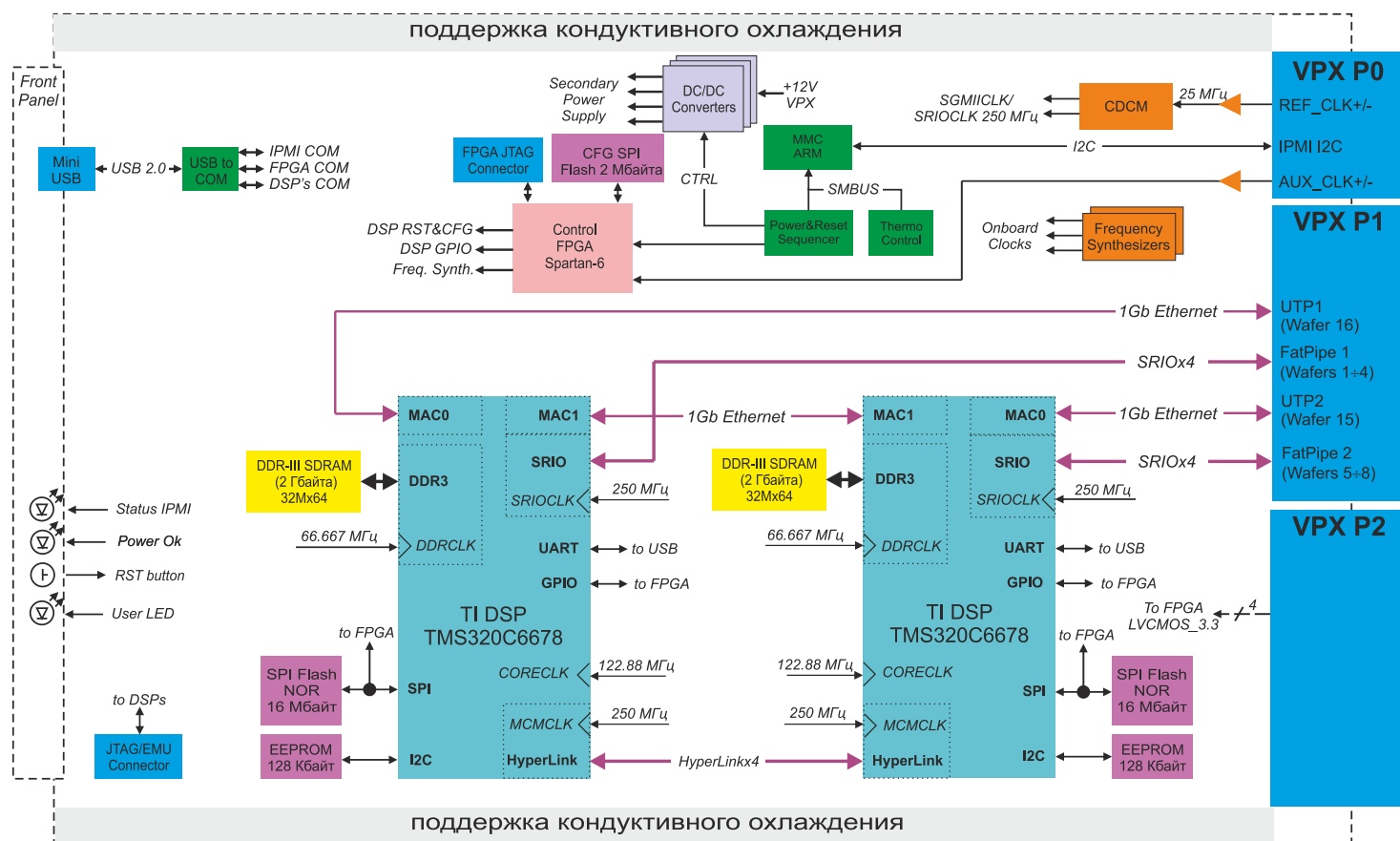
Тактовая частота вычислительных ядер DSP составляет 1,25 ГГц, суммарная пиковая производительность составляет свыше 640 млрд. операций в секунду над операндами с фиксированной запятой или 320 млрд. операций с плавающей запятой. Столь высокая производительность обработки предопределяет применение модуля для построения высокопроизводительных систем цифровой обработки сигналов на задачах фильтрации, спектральных преобразований, корреляционной обработки.

Интерфейсные возможности модуля включают: Data Plane VPX — два низколатентных канала SRIO 2.1 x2, Control Plane — два канала Gigabit Ethernet. Для межпроцессорного обмена реализована высокоскоростная шина HyperLink до 50 Гбит/с.

### Области применения

Поддержка модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д., значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

## Функциональная блок-схема



## Технические характеристики

### Вычислительное ядро

Два DSP TMS320C6678 TI:

- восемь ядер на частоте до 1,25 ГГц;
- до 320 млрд. операций в секунду над операндами с фиксированной запятой или до 160 млрд. операций с плавающей запятой;
- кэш-память 32 Кбайта L1P, 32 Кбайта L1D, 512 Кбайт L2 на каждое ядро;
- 4 Мбайта разделяемой межпроцессорной памяти;
- сетевой сопроцессор с поддержкой алгоритмов аппаратного шифрования ECB, CBCm CTR, F8, A5/3, CCM, GCM, HMAC, CMAC, GMAC, AES, DES, 3DES, Kasumi, SNOW 3G, SHA1/2 (256 бит), MD5 на скоростях до 2,8 Гбит/с для приложений IPsec, SRTP, 3GPP, WiMAX Air и SSL/TLS.

### Программируемая логика

Сервисная FPGA Xilinx Spartan-6 XC6SLX45:

- 6882 ячеек Spartan-6 Slice;
- 116 блоков RAM Xilinx BlockRAM по 18 Кбит;
- предназначена для управления процессом конфигурации DSP и синтезаторами частоты, реализации ряда функций IPMI;
- конфигурация из встроенной SPI Flash 2 Мбайта.

### Память

По 64-х разрядному банку памяти DDR3-1333 объёмом 2 Гбайта на каждом из DSP

По 16 Мбайт памяти SPI NOR Flash на DSP

Встроенная I<sup>2</sup>C EEPROM по 128 Кбайта на DSP для первоначальной загрузки

### Межпроцессорный интерфейс

HyperLink x4 до 50 Гбит/с

### Тактирование

Набор синтезаторов для генерации полной сетки частот тактирования DSP

Схема PLL очистки и умножения опорного тактового сигнала VPX REF\_CLK 25 МГц до 250 МГц (тактирование каналов SRIO)

### Соответствие стандартам

ANSI/VITA 46.0 VPX Base Standard

ANSI/VITA 46.3 Serial RapidIO on VPX Fabric Connector

ANSI/VITA 46.6 VPX: Gbit Ethernet Control Plane Signal Mapping

ANSI/VITA 48.2 VPX REDI: Mechanical Specifications for Microcomputers Using Conduction Cooling Applied to VPX

ANSI/VITA 65 OpenVPX Architectural Framework for VPX

### Внешние интерфейсы

Два канала SRIO 2.1 x4 5 Гбит/с через FatPipe1, 2 VPX

Два канала Gigabit Ethernet: через UTP1, 2 VPX

### Отладочные интерфейсы (внутренние разъёмы)

Консольные UART-порты процессоров, FPGA и IPMI через интерфейс USB 2.0 передней панели

Интерфейс внешнего эмулятора XDS560

Внутренний буферизованный порт JTAG IEEE 1149.1 FPGA

### Системные функции

Поддержка шины I<sup>2</sup>C VPX (линии SM0, SM1) интеллектуальной системы управления IPMI

Поддержка географической адресации (GA0–GA4)

Задействование сигнала линии REF\_CLK 25 МГц VPX для генерации опорного тактирования SRIO

Обработка сигнала системного сброса VPX SYSRESET#

Возможность управления линией сброса SYSRESET#

Встроенный контроль напряжений и тока потребления

Встроенный температурный контроль

### Энергопотребление

Потребляемая мощность модуля цифровой обработки сигналов: не более 50 Вт

Распределение потребляемой мощности по линии питания: +12 В (VS1): до 4 А (50 Вт) (определяется загрузкой FPGA, DSP)

### Условия эксплуатации

Охлаждение: воздушное или кондуктивное

Диапазон рабочих температур: 0...+50°C или -40...+70°C

Температура хранения: -50...+85°C

Влажность: 10–95% без конденсата

Производительность внешнего обдува 25 м<sup>3</sup>/час (для исполнения с воздушным охлаждением)

### Размеры

Форм-фактор: VPX 3U в слот 1<sup>~</sup>

Размеры: 160 × 100 × 25,06 мм

## Информация для заказа

Программное обеспечение поддержки модуля, а также эмулятор, в комплект поставки не входят, их приобретение оговаривается дополнительно.



**I** Установленный DSP Texas Instruments

**DSP6678C1:** TMS320C6678 с тактовой частотой 1 ГГц

**DSP6678C125:** TMS320C6678 с тактовой частотой 1,25 ГГц

**II** Исполнение (температурный диапазон)

**T5:** Индустриальное (-40...+70°C)

**T0:** Коммерческое (0...+50°C)

**III** Ширина передней планки

**W1:** Для крейта 1"

**W08:** Для крейта 0,8"

**IV** Охлаждение

**CL0:** Воздушное

**CL1:** Кондуктивное

Пример кода изделия: **SVP-407-DSP6678C1-T5-W1-CL0**

**SVP-407** — Двухпроцессорный модуль ЦОС для VPX 3U.

**Установленный DSP Texas Instruments:** TMS320C6678 с тактовой частотой 1 ГГц.

**Исполнение (температурный диапазон):** Индустриальное (-40...+70°C).

**Ширина передней планки:** Для крейта 1".

**Охлаждение:** Воздушное.

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75

Тел.: +7 (4732) 72-71-01, факс.: +7 (4732) 51-21-99

[www.setdsp.ru](http://www.setdsp.ru)

**Электронная почта:**

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)

Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2016

Документ DS-SVP-407 1.1 (28 ноября 2016 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2016