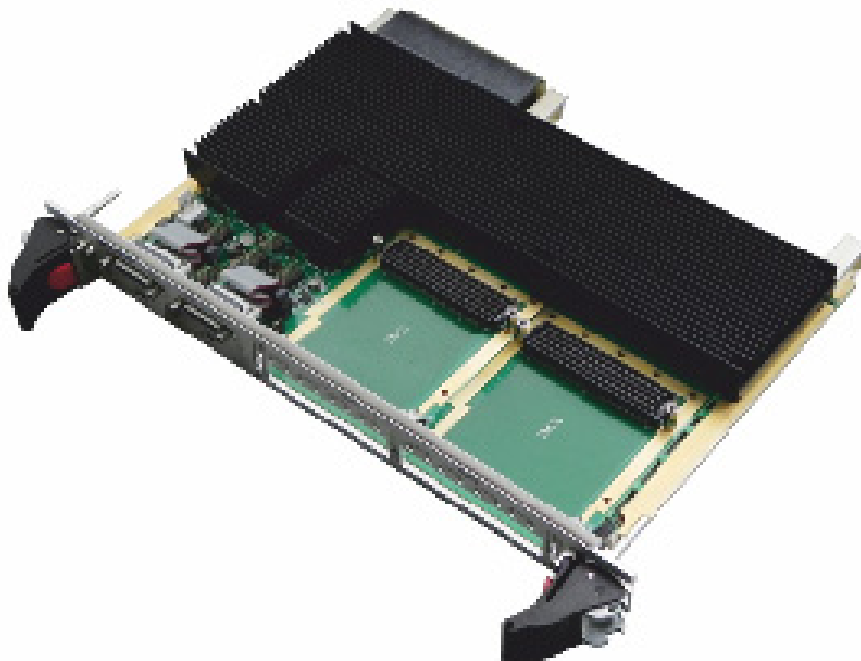


SVP-736

Модуль VPX 6U с двумя основными FPGA Xilinx Kintex UltraScale и поддержкой двух FMC



Основные особенности

- Широкий ряд устанавливаемых FPGA Xilinx серии Kintex UltraScale/UltraScale+ объемом от 444 тыс. (XCKU035) до 1176 тыс. (XCKU095) логических ячеек
- По четыре независимых 16-ти разрядных банка памяти DDR4-2400 общим объемом 2 Гбайта на каждой основной FPGA
- Модуль форм-фактора VPX 6U, предназначенный для работы с объединительными платами VPX 3U и соответствующий спецификациям: ANSI/VITA 46.0 VPX Base Standard (воздушное охлаждение), ANSI/VITA 46.4 PCIe on VPX Fabric Connector, ANSI/VITA 46.6 Gigabit Ethernet Control Plane on VPX, ANSI/VITA 57.1 FMC и ANSI/VITA 65 OpenVPX
- Поддержка установки двух submodule FMC HPC, включая 8 дуплексных линий MGT
- Поддержка системных интерфейсов: двух PCIe LAN4 1.0/2.0/3.0 (DP01, 02) и двух Gigabit Ethernet 1000BASE-BX (UTP1, 2)
- Восемь мультигигабитных линий тыльного расширения на разъеме P2 VPX
- Передняя панель, конфигурируемая под необходимые конкретному пользователю коммуникационные интерфейсы (DigIO, RS-232/485, Gigabit Ethernet, Clock In и прочие)
- Варианты исполнения: с воздушным и кондуктивным охлаждением

Обзор модуля

Современный компоненты и интерфейсы

Модуль SVP-736 разработан на базе новейшей высокопроизводительной серии FPGA Xilinx Kintex UltraScale/UltraScale+ и сочетает в себе широкий набор системных интерфейсов объединительных плат форм-фактора VPX 3U с преимуществами расширенных интерфейсных возможностей плат форм-фактора VPX 6U, как посредством передней панели, так и модулей тыльного расширения.

На модуле SVP-736 установлены две основные FPGA из широкого ряда: XCKU035/040/060/095/15P, что позволяет гибко подобрать оптимальную по стоимости и возможностям конфигурацию в части интерфейсов и поддерживаемой памяти, при этом полная поддержка двух субмодулей стандарта FMC HPC ANSI/VITA 57.1 (FPGA Mezzanine Card) реализована для всего ряда FPGA.

Высокая производительность

Пиковая производительность модуля SVP-736 на целочисленных операциях умножить-аккумулировать 27×18 бит достигает 4 ТМАС/с, что открывает широкие возможности для приложений, требующих предельно высокой производительности цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки сигналов.

Производительность интерфейса обмена каждой основной FPGA с внешней памятью DDR4 превышает 150 Гбит/с, что обеспечивает хорошие возможности для высокоскоростной буферизации данных, как субмодулей FMC, так и промежуточных результатов цифровой обработки.

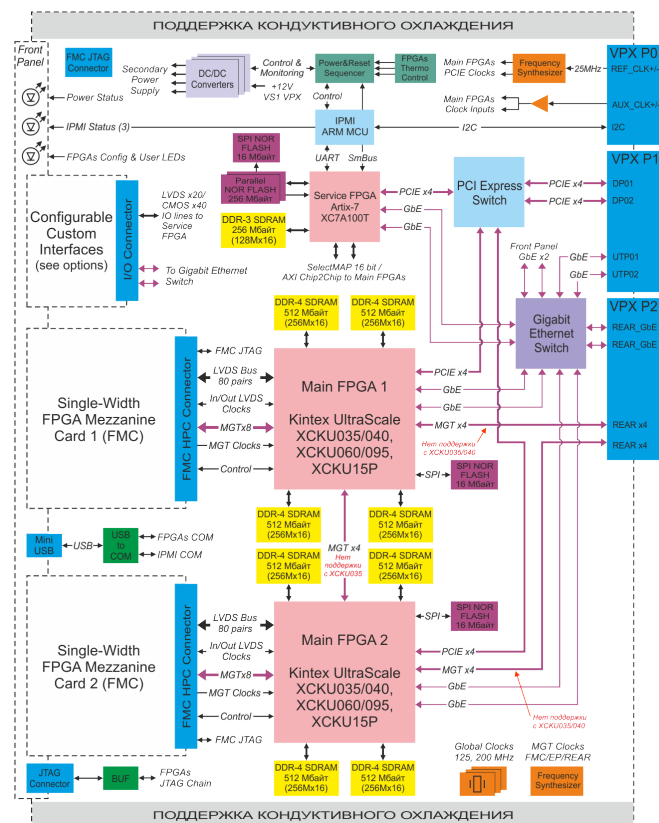
Через разъём P2 VPX предусмотрено подключение модулей тыльного расширения форм-фактора 6U с последовательными мультигигабитными интерфейсами (MGT) шириной до четырех пар для каждой FPGA и поддерживаемыми стандартами: SRIO, PCIe, XAUI, Xilinx Aurora. Номенклатура тыльных модулей расширения может варьироваться от процессоров цифровой обработки сигналов, например, DSP Texas Instruments (TI) серии C66xx (модуль [SVR-420](#)), до восьмиканальных оптических модулей со скоростью до 10 Гбит/с и прочими заказными.

Посредством дополнительного мезонина на модуле предусмотрена возможность предустановки коммуникационных интерфейсов, необходимых Заказчику, таких как: буферизованный цифровой ввод/вывод, последовательные интерфейсы RS-232/485, Gigabit Ethernet с поддержкой медных и оптических линий, синхронизации/тактирования через коаксиальные разъёмы передней панели (см. раздел «Информация для заказа»).

Области применения

Реализуемые модулем системные интерфейсы VPX: PCIe LAN4 (два канала) и Gigabit Ethernet (два канала) наряду с поддержкой модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д. значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

Функциональная блок-схема



Технические характеристики

Программируемая логика

Две основные FPGA Xilinx Kintex UltraScale/UltraScale+ из ряда:

- XCKU035/040/060/095/15P. (опции поставки)

Особенности каждой из основных FPGA:

- до 1,176 млн. логических ячеек (XCKU095);
- до 2760 блоков DSP48E (XCKU060);
- до 1680 блоков RAM Xilinx BlockRAM по 36 Кбит (XCKU095);
- до 16 узлов тактирования 2 × PLL + MMCM Xilinx (XCKU095);
- до 4-х аппаратных ядер PCIe 1.0/2.0/3.0 x1/x2/x4 (XCKU095).

Служебная FPGA Xilinx Artix-7 XC7A100T:

- 101,4 тыс. логических ячеек;
- 135 блоков RAM Xilinx BlockRAM по 36 Кбит;
- аппаратное ядро PCIe 1.0/2.0 x1.

Межкристальный обмен основных FPGA:

- 4 дуплексные пары MGT до 16,3 Гбит/с каждая (нет поддержки с FPGA XCKU035);
- 8 линий управления и арбитража LVCMOS (на функциональной блок-схеме не показаны).

Межкристальный обмен между служебной и основной FPGA:

- конфигурационный SelectMAP 16 бит 100 МГц;
- AXI Chip2Chip Xilinx 250 МГц (совместен с SelectMAP).

Память

Четыре 16-ти разрядных банка памяти DDR4-2400 SDRAM объемом по 512 Мбайт на каждой основной FPGA

16-ти разрядный банк памяти DDR3-1033 SDRAM объемом по 256 Мбайт на служебной FPGA

Два банка памяти NOR Flash объемом по 256 Мбайт для хранения конфигурационных файлов основных FPGA

Память SPI NOR Flash 16 Мбайт на каждой основной FPGA

Память SPI NOR Flash 16 Мбайт на служебной FPGA

Память SPI NOR Flash 16 Мбайт конфигурирования служебной FPGA

Тактирование

Опорные кварцевые генераторы FPGA 125 МГц/200 МГц

Синтезатор сетки произвольных частот MGT FPGA

ФАПЧ умножения сигнала VPX REF_CLK 25 МГц для PCIe

Внешние и отладочные интерфейсы

UART-порты для каждой FPGA с единым USB 2.0 на передней панели

Буферизованный JTAG IEEE 1149.1 FPGA на передней панели

Внутренний буферизованный порт JTAG IEEE 1149.1 для FMC

Системные интерфейсы (разъём P1 VPX)

Два канала PCIe 1.0/2.0/3.0 x4 через порты DP01, DP02

Два канала Gigabit Ethernet 1000BASE-BX через порты UTP1, 2

Интерфейсы поддержки тыльного модуля (разъём P2 VPX)

По четыре дуплексных пары MGT до 10 Гбит/с основных FPGA (нет поддержки с FPGA XCKU035/040)

Два канала Gigabit Ethernet 1000BASE-BX

Соответствие стандартам

ANSI/VITA 46.0 VPX Base Standard

ANSI/VITA 46.4 PCIe on VPX Fabric Connector

ANSI/VITA 46.6 Gigabit Ethernet Control Plane on VPX

ANSI/VITA 57.1 FMC Standard

ANSI/VITA 65 OpenVPX

Поддержка профиля MOD3-PAY-2F2U-16.2.3-3

Системные функции

Поддержка географической адресации (GA0–GA4)

Обработка сигнала системного сброса VPX SYSRESET#

Встроенный контроль напряжений и тока потребления

Встроенный температурный контроль

Субмодули FMC

Поддержка установки двух субмодулей FMC одиночной ширины (Single Width)

Стыковочная высота FMC: 10 мм

Интерфейс каждого субмодуля FMC NPC:

- 80 пар LVDS, общая пропускная способность до 80 Гбит/с;
- 8 дуплексных мультигигабитных пар DP0–DP7 10 Гбит/с;
- полный набор линий тактирования.

Поддержка JTAG 3,3 В с автоматической коммутацией канала

Поддержка сигналов I²C (IPMI FMC), PRSNT, PowerGood

Соответствие спецификации ANSI/VITA 57.1 FMC по требованиям к питающим напряжениям и токам нагрузки субмодулей

Уровень напряжения по линиям VADJ/VIO_V_M2C +1,8 В

Энергопотребление

Потребляемая мощность модуля цифровой обработки сигналов: от 140 до 170 Вт

Распределение потребляемой мощности по линии питания:

- +12 В (VS1): до 11,5 А (140 Вт) (при полной нагрузке, без учета FMC);
- +12 В (VS1): до 14,1 А (170 Вт) (при полной нагрузке, с двумя FMC субмодулями).

Условия эксплуатации

Охлаждение: воздушное (производительностью не менее 25 м³/час) или кондуктивное

Диапазон рабочих температур: 0...+50°C или -40...+85°C (опция поставки)

Температура хранения: -40...+85°C

Влажность:

- до 85% без покрытия;
- до 98% с покрытием. (опция поставки)

Размеры

Форм-фактор: VPX 6U в слот 1"

Размеры: 160 × 233 × 25,06 мм

Информация для заказа

Модуль в сборе с предустановленными разъёмами VPX, поддержкой двух субмодулей FMC HPC, служебной FPGA XC7A100T с памятью, предустановленными банками памяти DDR4 основных FPGA.

Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно. Приобретение логических ядер IP-Core PCIe и Gigabit Ethernet (TEMAC) оговаривается отдельно. Настоятельно рекомендуется перед заказом модуля ознакомиться с их техническим описанием.



I Основная FPGA Xilinx

Временная группа FPGA -3 недоступна для заказа в промышленном исполнении модуля.

FM035T-1: XCKU035-1	FM040T-2: XCKU040-2	FM060T-3: XCKU060-3
FM035T-2: XCKU035-2	FM040T-3: XCKU040-3	FM095T-1: XCKU095-1
FM035T-3: XCKU035-3	FM060T-1: XCKU060-1	FM095T-2: XCKU095-2
FM040T-1: XCKU040-1	FM060T-2: XCKU060-2	

II Вывод буферизованных цифровых портов

B0: Буфер и разъём цифрового порта отсутствуют

BIO3: Два канала Gigabit Ethernet (медь, RJ-45), вход SSMC синхронизации всех FPGA модуля (до 200 МГц)

BIO4: Два посадочных места SFP поддержки Gigabit Ethernet (модули SFP в комплект поставки не входят), вход SSMC синхронизации FPGA

BIO5: Буферизованный цифровой порт (16 линий, разъём Micro-D, 25 контактов, винт), вход SSMC синхронизации FPGA

BIO6: Четыре полнодуплексных канала RS-485 (разъём Micro-D, 25 контактов, винт), вход SSMC синхронизации FPGA

BIO7: По восемь линий стандарта RS-232 на приём/передачу (разъём Micro-D, 25 контактов, винт), вход SSMC синхронизации FPGA

BION: Заказной набор интерфейсов пользователя, номер N присваивается индивидуально

III Исполнение (температурный диапазон)

T0: Коммерческое (0...+50°C) **T3:** Индустриальное (-40...+85°C)

T6: Индустриальное (-10...+55°C)

T5: Индустриальное (-40...+70°C)

IV Охлаждение

Производительность воздушного охлаждения не менее 25 м3/час.

CL0: Воздушное

CL1: Кондуктивное

V Покрытие

CV0: Без влагозащитного покрытия

CVWP: С влагозащитным покрытием

VI Передняя панель

FP1: Стандартная под стандартный FMC со стыковочной высотой 10 мм, без субмодуля окно закрыто заглушкой

FPN: Заказная передняя панель, тип устанавливаемого субмодуля оговаривается при заказе дополнительно

Пример кода изделия: **SVP-736-FM095T-2-BION-T3-CL1-CVWP-FPN**

SVP-736 — Модуль VPX 6U с двумя основными FPGA Xilinx Kintex UltraScale и поддержкой двух FMC.

Основная FPGA Xilinx: XCKU095-2.

Вывод буферизованных цифровых портов: Заказной набор интерфейсов пользователя, номер N присваивается индивидуально.

Исполнение (температурный диапазон): Индустриальное (-40...+85°C).

Охлаждение: Кондуктивное.

Покрытие: С влагозащитным покрытием.

Передняя панель: Заказная передняя панель, тип устанавливаемого субмодуля оговаривается при заказе дополнительно.

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (4732) 72-71-01, факс.: +7 (4732) 51-21-99
www.setdsp.ru

Электронная почта:

Отдел продаж: sales@setdsp.ru

Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2016

Документ DS-SVP-736 1.0 (28 ноября 2016 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2016