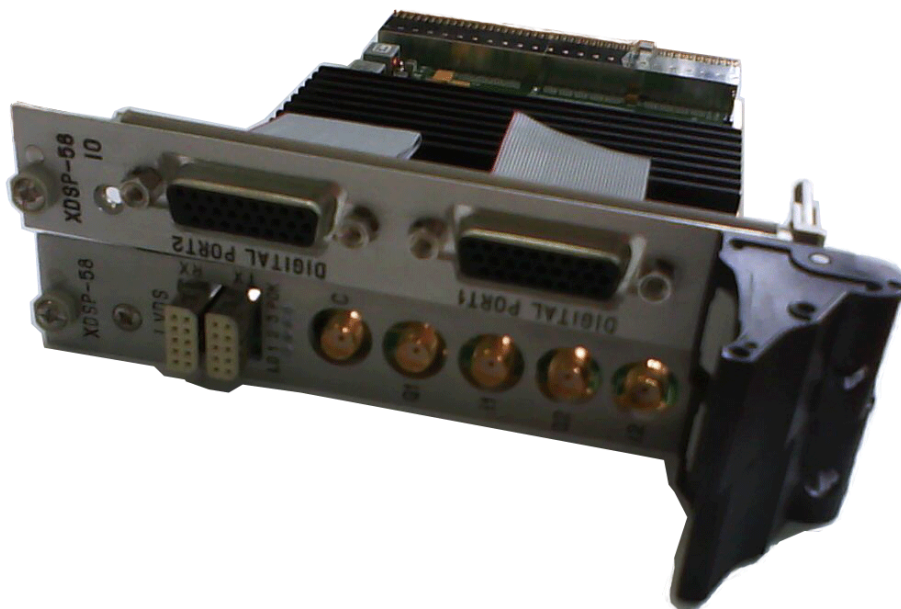


# XDSP-58

Модуль CompactPCI 3U четырёхканального аналого-цифрового преобразования с поддержкой системного интерфейса 33/66 МГц 32/64 бита

**CompactPCI®**



## Основные особенности

- Модуль форм-фактора CompactPCI 3U 4HP с системным интерфейсом PCI 33 МГц 32/64 бита
- Основная FPGA Xilinx Virtex-4 семейства VLX или VSX в корпусе FF1148
- Интерфейсная FPGA Xilinx Virtex-4 семейства VLX или VSX в корпусе FF668
- Четырёхканальное цифро-аналоговое преобразование
- Четыре банка памяти высокоскоростной статической RAM ZBT SRAM на FPGA, объемом 9 Мбайт каждый

## Обзор модуля

### Современные компоненты и интерфейсы

Модуль XDSP-58 форм-фактора CompactPCI 3U разработан на основе двух высокопроизводительных FPGA Xilinx: основной Virtex-4 семейств VLX и VSX в корпусе FF1148 с большим объемом внешней памяти и интерфейсной Virtex-4 семейств VLX и VSX в корпусе FF668.

### Высокая производительность

Модуль XDSP-58 разработан для приложений, требующих высокую производительность, высокую скорость передачи данных и низкую латентность. Модуль использует максимум возможностей FPGA Xilinx Virtex-4.

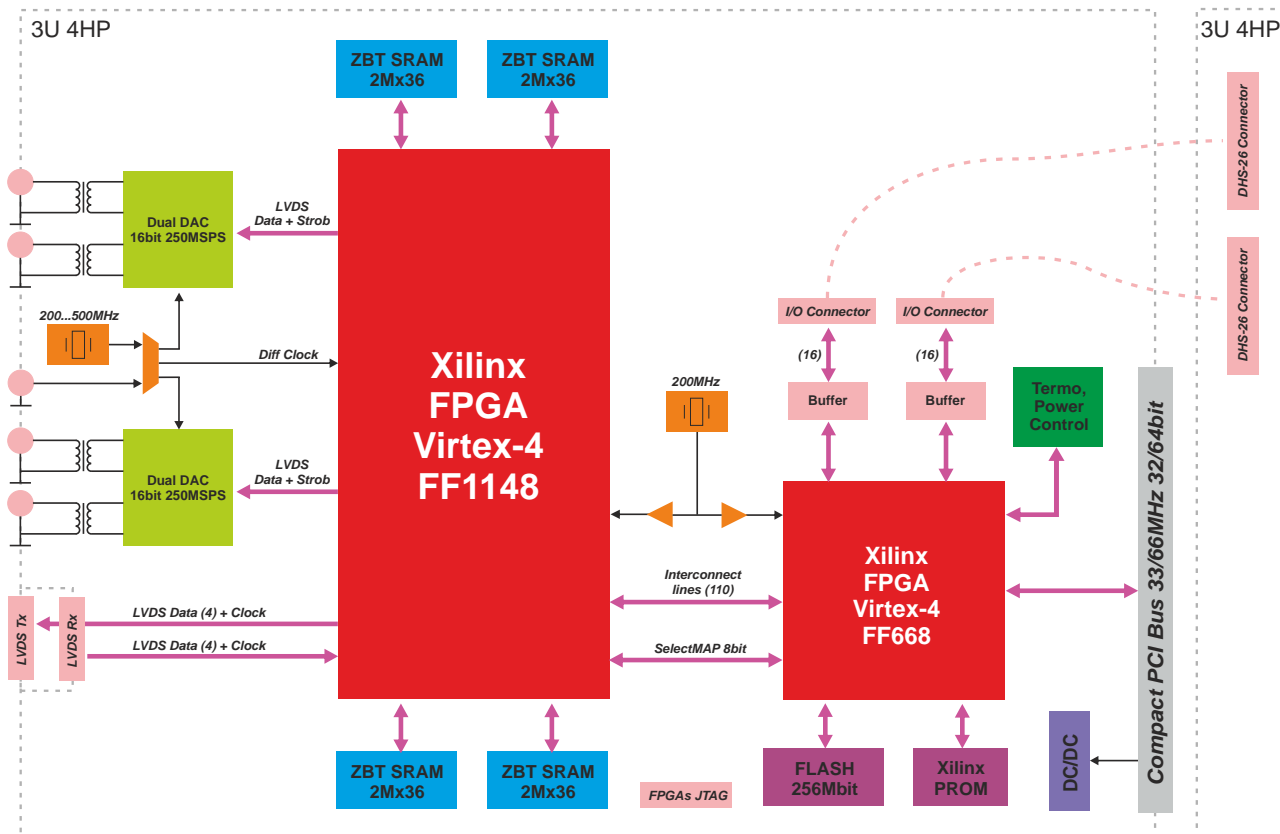
### Области применения

Модуль-ускоритель обработки данных XDSP-58 предназначен для выполнения четырёхканального цифро-аналогового преобразования радиосигналов с частотой дискретизации до 250 МГц, а наличие двух буферизованных цифровых портов облегчает построение интегрированных трактов формирования сигнала.

Ресурсы FPGA Virtex-4, устанавливаемой на модуль, позволяют решать сложные задачи построения схем цифрового синтеза радиосигнала, модуляторов передающих трактов систем связи и радиолокации.

Модуль предоставляет производителям оборудования высокоэффективное решение для задач: цифрового синтеза радиосигнала и радиолокации.

## Функциональная блок-схема



## Технические характеристики

### FPGA

Основная Xilinx Virtex-4 FF1148 из ряда:

- XC4VLX40, XC4VLX60, XC4VLX80, XC4VLX100, XC4VLX160;
- XC4VSX55.

Особенности основных FPGA:

- до 152064 ячеек Virtex-4;
- до 288 блоков Virtex-4;
- до 320 банков RAM Xilinx BlockRAM по 18 Кбит общим объёмом 5760 Кбит;
- до 12 блоков управления тактированием Virtex-4 DCM.

Интерфейсная Xilinx Virtex-4 FF668 из ряда:

- XC4VLX25, XC4VLX40, XC4VLX60, XC4VSX35.

Особенности интерфейсных FPGA:

- до 41472 ячеек Virtex-4;
- до 168 блоков Virtex-4;
- до 96 блоков RAM Xilinx BlockRAM по 18 Кбит;
- до 8 блоков управления тактированием Virtex-4 DCM.

### Память

Четыре банка синхронного статического RAM ZBT SRAM по 9 Мбайт (2 Мбита×36) 200 МГц

Энергонезависимая Flash-память хранения файлов конфигурации основной FPGA объёмом (16 Мбита×16) 32 Мбайта

Энергонезависимая память Platform Flash хранения конфигурации интерфейсной FPGA объёмом 1 Мбайт

### Цифро-аналоговое преобразование

Количество каналов: 4

Разрядность 16 бит

Диапазон частот тактирования 10...500 МГц

Размах входного сигнала 0,5 В (50 Ом), разъём SMA

Размах входного сигнала в полной разрядной сетке, В: 0,55±0,05

Предельные уровни входного сигнала, В

Отношение сигнал/шум тракта, с несущей 200 МГц, при температуре 25°C, дБ:

- $F_{in} = 10$  МГц — 65 дБ; (Опция)
- $F_{in} = 70$  МГц — 62 дБ; (Опция)
- $F_{in} = 140$  МГц — 59 дБ. (Опция)

Возможность программирования коэффициента усиления АЦП, дБ: 0...6 с шагом 1

Выход данных: двоичный дополнительный, либо двоичный прямой

Стандарт выходных данных АЦП — DDR LVDS

### Соответствие стандартам

CompactPCI Core Specification PICMG 2.0 Rev. 3.0

### Тактирование

Опорный кварцевый генератор трактов ЦАП 336 МГц/50 ppm, программируемый в диапазоне 10...810 МГц, шаг 0,1 Гц (в штатном проекте FPGA перестройка ограничена в пределах 336±3 МГц)

Опорный кварцевый генератор цифровой части: базовая частота 200 МГц/50 ppm, программируемый в диапазоне 10...810 МГц, шаг 0,1 Гц (в штатном проекте FPGA перестройка ограничена в пределах 200±2 МГц)

### Энергопотребление

Цепь +3,3 В: до 3 А

Цепь +5 В: до 8 А

Потребляемая мощность: не более 30 Вт

### Условия эксплуатации

Диапазон рабочих температур: 0...+50°C или -40...+85°C

Температура хранения: -40...+85°C

Влажность: 10–95% без конденсата

### Размеры

Форм-фактор: CompactPCI 3U

Ширина: 4HP

Размеры Mid-Size: 100×160×30 мм

## Информация для заказа



Основная FPGA Xilinx

*Virtex-4 в корпусе FF1148*

**FM40:** XC4VLX40

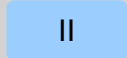
**FM60:** XC4VLX60

**FM80:** XC4VLX80

**FM100:** XC4VLX100

**FM160:** XC4VLX160

**FM55:** XC4VSX55



Интерфейсная FPGA Xilinx

*Virtex-4 в корпусе FF668*

**FI25:** XC4VLX25

**FI40:** XC4VLX40

**FI60:** XC4VLX60

**FI35:** XC4VSX35



Исполнение (температурный диапазон)

**T3:** Индустриальное (-40...+85°C)

**T0:** Коммерческое (0...+50°C)

Пример кода изделия: **XDSP-58-FM40-FI25-T3**

**XDSP-58** — Модуль CompactPCI 3U четырёхканального аналого-цифрового преобразования с поддержкой системного интерфейса 33/66 МГц 32/64 бита.

Основная FPGA Xilinx: XC4VLX40.

Интерфейсная FPGA Xilinx: XC4VLX25.

Исполнение (температурный диапазон): Индустриальное (-40...+85°C).

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75

Тел.: +7 (4732) 72-71-01, факс.: +7 (4732) 51-21-99

[www.setdsp.ru](http://www.setdsp.ru)

Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)

Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2016

Документ DS-XDSP-58 1.0 (15 сентября 2016 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2016