

## Введение

IP-ядро «LMK контроллер» ( IP-Core «LMK Controller») предоставляет пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», занимающимся самостоятельной разработкой аппаратных платформ для FPGA микросхем, возможность управления микросхемами семейства LMK01000 производства Texas Instruments (TI). Управление осуществляется через интерфейс MICROWIRE. На базе микросхем семейства LMK01000 в ряде FPGA и FMC модулей реализуются схемы деления и распространения частот опорных генераторов.

## Возможности

- Совместимость с интерфейсом AXI4
- Поддержка управляющей шины AXI в 32-х битном режиме
- Поддержка MICROWIRE интерфейса
- Отдельный вход для опорной частоты, используемой для тактирования передачи данных через MICROWIRE интерфейс
- 32-битный регистр управления
- 32-битный регистр статуса
- 32-битный совмещенный регистр адреса назначения (4-бита) и значений передаваемых данных (28-бит)

## Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	<a href="#">SVP-713/723/726</a> <a href="#">SAMC-713/715/717</a>
Поддерживаемые пользовательские интерфейсы	AXI4
Ресурсы	См. таблицу 1
Обеспечение ядра	
Файлы проекта	VHDL
Пример проекта	Xilinx Vivado 2014.2, ISE-14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

Структурная схема IP-ядра «LMK контроллер» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядро «LMK контроллер» состоит из трех, связанных друг с другом функциональных блоков.

Блок подключения к AXI4 шине (AXI Decoder) обеспечивает взаимодействие IP-ядра «LMK контроллер» с AXI4 структурами. Через этот блок осуществляется доступ к значениям регистров блока регистров (Register Unit).

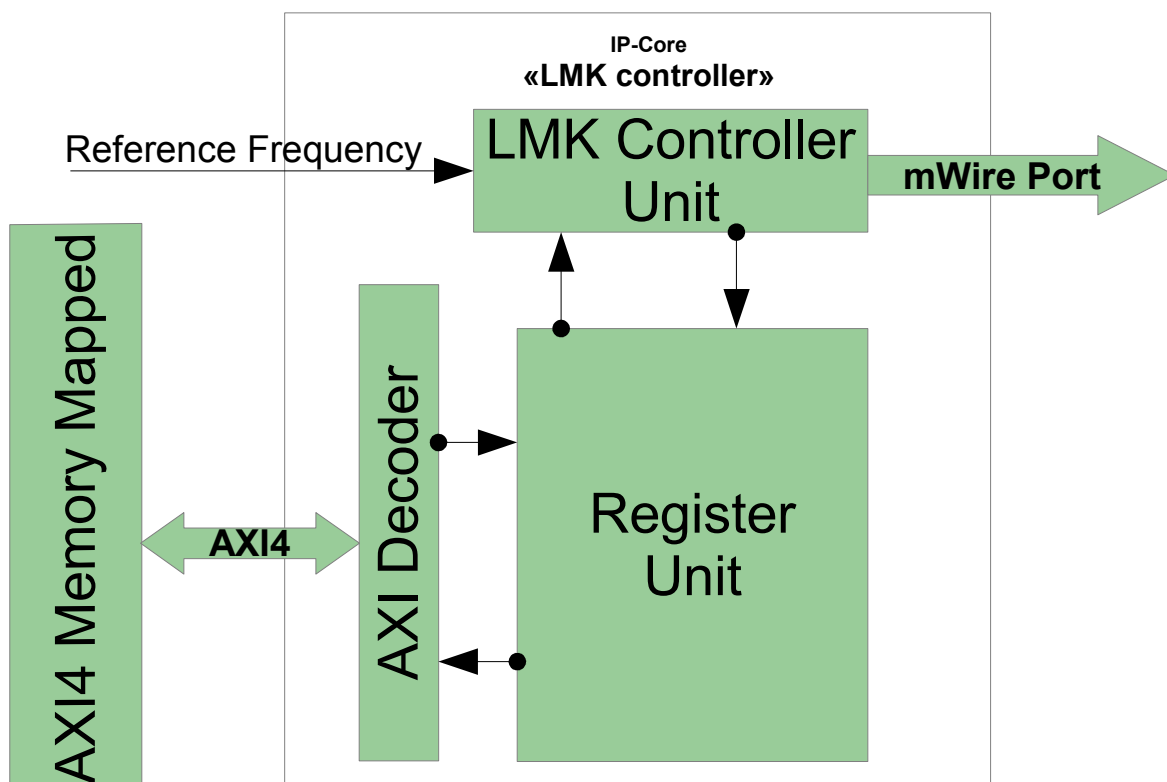
Блок регистров (Register Unit) реализует регистры управления и статуса работы IP-ядра, а так же реализует совмещенный регистр адреса назначения и значения передаваемых данных через интерфейс MICROWIRE.

Блок аппаратной реализации интерфейса MICROWIRE (LMK Controller Unit) обеспечивает процесс передачи данных из совмещенного регистра адреса назначения и значений передаваемых данных в направлении к подключаемой через mWire Port микросхеме семейства LMK01000. Частота тактирования передачи данных через MICROWIRE интерфейс соответствует опорной частоте, поступающей на линию Reference Frequency, делённой на два.

Интерфейсы подключения IP-ядра «LMK контроллер» к AXI4 структурам соответствует AMBA (Advanced Microcontroller Bus Architecture) совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «LMK контроллер» можно ознакомиться в документе [1].

## Функциональная блок-схема



## Основные особенности

Применение IP-ядра «LMK контроллер» прежде всего ориентировано на работу с микросхемами семейства LMK01000 производства TI. Реализация интерфейса MICROWIRE носит усеченный характер и обеспечивает только процесс записи данных в микросхемы семейства LMK01000.

IP-ядро «LMK контроллер» входит в состав различных инфраструктур IP-ядер, отвечающих за поддержку работы FMC модулей производства ЗАО «Скан Инжиниринг Телеком» или может использоваться самостоятельно в составе подобных структур пользователя. Примером инфраструктур IP-ядер поддержки FMC модулей может выступать «Поддержка субмодуля SFM-4A250» (см. документ [2]).

Таблица 1: Требуемые ресурсы для IP-ядра «LMK контроллер»

Семейство FPGA Xilinx	Slices	Registers	LUTs	Block RAM
Virtex-6	70	252	210	0
Virtex-7	75	217	168	0

## Ограничения

Не поддерживается режим чтения данных для интерфейса MICROWIRE.

## Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «LMK контроллер» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Ссылки

1. IP-ядро «LMK контроллер». Руководство пользователя. [UG-IP-LMK-CONT](#) .
2. Инфраструктура IP-ядер «Поддержка субмодуля SFM-4A250». Техническое описание. [DS-IP-IS-SFM-4A250](#) .

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-LMK-CONT 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015

Информация в данном документе может быть изменена ЗАО «Скан Инжиниринг Телеком» без предварительного уведомления.