



Scan Engineering Telecom SPb

Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze»

Руководство пользователя

Версия 1.0



Код документа: UG-IP-IS-MBS
Дата сборки: 27 августа 2015 г.
Листов в документе: 25

© 2015, ООО «Скан Инжиниринг Телеком - СПб»
<http://www.setdsp.ru>

Содержание

Перечень рисунков	3
Перечень таблиц	3
Перечень сокращений и условных обозначений	4
1 Краткие данные инфраструктуры IP-ядер	6
Введение	6
Возможности	6
Обзор	7
Функциональная блок-схема	8
Основные особенности	9
Ограничения	9
Лицензирование и информация для заказа	9
2 Введение	10
3 Структура	11
3.1 Основные модули и группы	11
3.2 Схема тактирования	12
3.3 Схема сброса	12
3.4 Ядро микропроцессора MicroBlaze	12
3.5 Отладчик JTAG	13
3.6 Контроллер прерываний	13
3.7 Аппаратный таймер	13
3.8 Флеш-память	13
3.9 Последовательный порт ввода/вывода	14
3.10 Светодиодные индикаторы и внешние переключатели	14
3.11 Коммутаторы AXI4	14
3.12 Карта памяти	15
3.13 Таблица векторов прерываний	18
4 Применение	19
Приложение А: Список поддерживаемых проектов для FPGA модулей	20
Приложение Б: Список IP-ядер, входящих в состав микропроцессорной системы	21
Приложение В: Занимаемые ресурсы в FPGA микросхеме	23
Список литературы	25

Перечень рисунков

1-1	Функциональная блок-схема	8
3-1	JTAG отладчик фирмы Xilinx	13

Перечень таблиц

1-1	Требуемые ресурсы для инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze»	9
3-1	Карта памяти для FPGA модулей на базе семейства Virtex-7	15
3-2	Карта памяти для FPGA модулей на базе семейства Virtex-6	16
3-3	Карта памяти SDRAM DDR (User RAM и System RAM) MBS on MB	16
3-4	Таблица векторов прерываний	18
A-1	Микропроцессорная система. Список поддерживаемых проектов	20
Б-1	Список IP-ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-6	21
Б-2	Список IP-ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-7	22
В-1	Ресурсы для IP ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-6	23
В-2	Ресурсы для IP-ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-7	24

Перечень сокращений и условных обозначений

AMBA	Advanced Microcontroller Bus Architecture	11
AMC	Advanced Mezzanine Card	12
ANSI	American National Standards Institute	4
AXI4	Advanced eXtensible Interface 4 – Memory Mapped Type	2, 6, 9, 11, 12, 14
AXI	Advanced eXtensible Interface	6, 7, 9–15, 19, 21, 22
BRAM	Block Random Access Memory	6, 9–12, 14–16, 21, 22
CDMA	Central Direct Memory Access	15
CDMA	Code Division Multiple Access	9
CPU	Central Processing Unit	12
DDR	Double Data Rate	3, 6, 9–12, 14–18, 21, 22
FMC	FPGA Mezzanine Card	7, 19
FPGA	Field-Programmable Gate Array	2–7, 9–16, 19–24
IP	Intellectual Property	2, 3, 5–7, 9–12, 19, 21–24
JTAG	Joint Test Action Group	2, 3, 6, 9–11, 13, 21, 22
MBL	MicroBlaze Boot Loader	14
MBS	Microprocessor Based System	4, 6
MBS on MB	Microprocessor Based System on MicroBlaze	3, 6, 7, 10–14, 16, 19, 20
MB	MicroBlaze	4, 6
MDM	MicroBlaze Debug Module	16, 18
MicroTCA	Micro Telecommunications Computing Architecture	12
PCIe	PCI Express	7, 9, 10, 12, 15, 20
PCI	Peripheral Component Interconnect	4, 7, 20
PLL	Phase Locked Loop controller	12
RAM	Random Access Memory	3, 9, 12, 15–18
ROM	Read-Only Memory	16, 18
RTOS	Real-Time Operating System	11
SDRAM	Synchronous Dynamic Random Access Memory	3, 6, 9–12, 15–18, 21, 22
SPI	Serial Peripheral Interface	14, 16, 18, 22
SRIO	Serial RapidIO	7, 9, 10, 15
USB	Universal Serial Bus	14
VHDL	VHSIC Hardware Description Language	6
VHSIC	Very High Speed Integrated Circuits	4
VITA	VME International Trade Association	4
VPX	System specification ANSI/VITA 46	12
ЗАО	Закрытое Акционерное Общество	5–7, 9, 10, 13, 15, 19
ОСРВ	Операционная Система Реального Времени	13

Общие сведения

Данный документ описывает инфраструктуру IP-ядер «Микропроцессорная система на MicroBlaze», предлагаемую пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком» в качестве основы для построения собственных аппаратных платформ, реализующих микропроцессорные структуры в FPGA микросхемах.

1 Краткие данные инфраструктуры IP-ядер

Введение

Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze» (Infrastructure IP-Cores «Microprocessor Based System on MicroBlaze», сокращенно «MBS on MB») является универсальным структурным решением, предназначенным для построения микропроцессорных систем, способных эффективно использовать схемотехнические решения, заложенные в FPGA модули производства ЗАО «Скан Инжиниринг Телеком». В основе «MBS on MB» лежит функционально выверенная микропроцессорная структура, построенная на микропроцессорном IP-ядре MicroBlaze.

Инфраструктура IP-ядер «MBS on MB» предлагается пользователям FPGA модулей в качестве основы для построения собственных аппаратных платформ, реализующих микропроцессорные структуры в FPGA микросхемах.

Возможности

- Организация минимальной по функциональности микропроцессорной системы на базе микропроцессорного ядра MicroBlaze с поддержкой возможности отладки исполняемого кода через интерфейс JTAG и поддержкой системы прерываний
- Размещение и исполнение двоичного кода ядром MicroBlaze из статической памяти типа BRAM или динамической памяти типа SDRAM DDR
- Обеспечение работы микропроцессорного ядра MicroBlaze с динамической памятью типа SDRAM DDR через кеш-контроллер
- Сохранение и загрузка исполняемого двоичного кода для микропроцессорного ядра MicroBlaze из энергонезависимой памяти типа Flash
- Организация консольного интерфейса на базе порта ввода/вывода типа RS-232
- Доступу к блокам светодиодных индикаторов и внешних переключателей FPGA модуля
- Поддержка аппаратного таймера, который может стать основой для решения ряда периодически повторяющихся задач
- Обеспечение присутствия нескольких коммутаторов AXI (Advanced eXtensible Interface), предназначенных для подключения дополнительных, необходимых пользователю отдельных IP-ядер и инфраструктур IP-ядер

Данные инфраструктуры IP-ядер

Особенности инфраструктуры IP-ядер	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4
Ресурсы	См. таблицу 1-1
Обеспечение инфраструктуры IP-ядер	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.2, ISE 14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотек, написанных на языке «Си» к IP-ядрам. Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

Разработчики ЗАО «Скан Инжиниринг Телеком» предлагают для ряда своих FPGA модулей единую структурную схему «MBS on MB», представленную ниже на функциональной блок-схеме. В своей реализации, эта структурная схема охватывает работу с набором типовых микросхем окружения основной FPGA микросхемы на ряде FPGA модулей ЗАО «Скан Инжиниринг Телеком», а так же обеспечивает возможность подключения различных шинных технологий, дополнительных IP-ядер и инфраструктур IP-ядер. Подключение обеспечивается за счет включения в состав структуры «MBS on MB» нескольких интерфейсных коммутаторов уровня AXI.

Пользователи FPGA модулей, взявшие за основу для своих аппаратных платформ структуру «MBS on MB», концентрируют свое основное время разработки на реализации своих собственных IP-ядер, решающих специфические задачи пользователя, и осуществляют подключение этих IP-ядер к интерфейсным AXI коммутаторам №2,

№3 и №4 структуры «MBS on MB». Выбор конкретного AXI коммутатора для подключения определяется пользователем исходя из нагрузки на AXI структуры по трафику пользовательских данных, создаваемого IP-ядром пользователя. Все интерфейсные AXI коммутаторы имеют разную разрядность шины данных (32/64/128 бит) и работают на разных частотах опорных генераторов (100/125/156,25/200 МГц), что определяет их пропускную способность.

Для осуществления подключения структуры «MBS on MB» к разным типам FMC (FPGA Mezzanine Card) модулей и шинным технологиям уровня PCIe (PCI Express), SRIO (Serial RapidIO), 10G Ethernet и т. д., пользователь может воспользоваться обширным набором соответствующих инфраструктур IP-ядер поддержки, специально разработанных компанией ЗАО «Скан Инжиниринг Телеком» и представленных на ее сайте.

Функциональная блок-схема

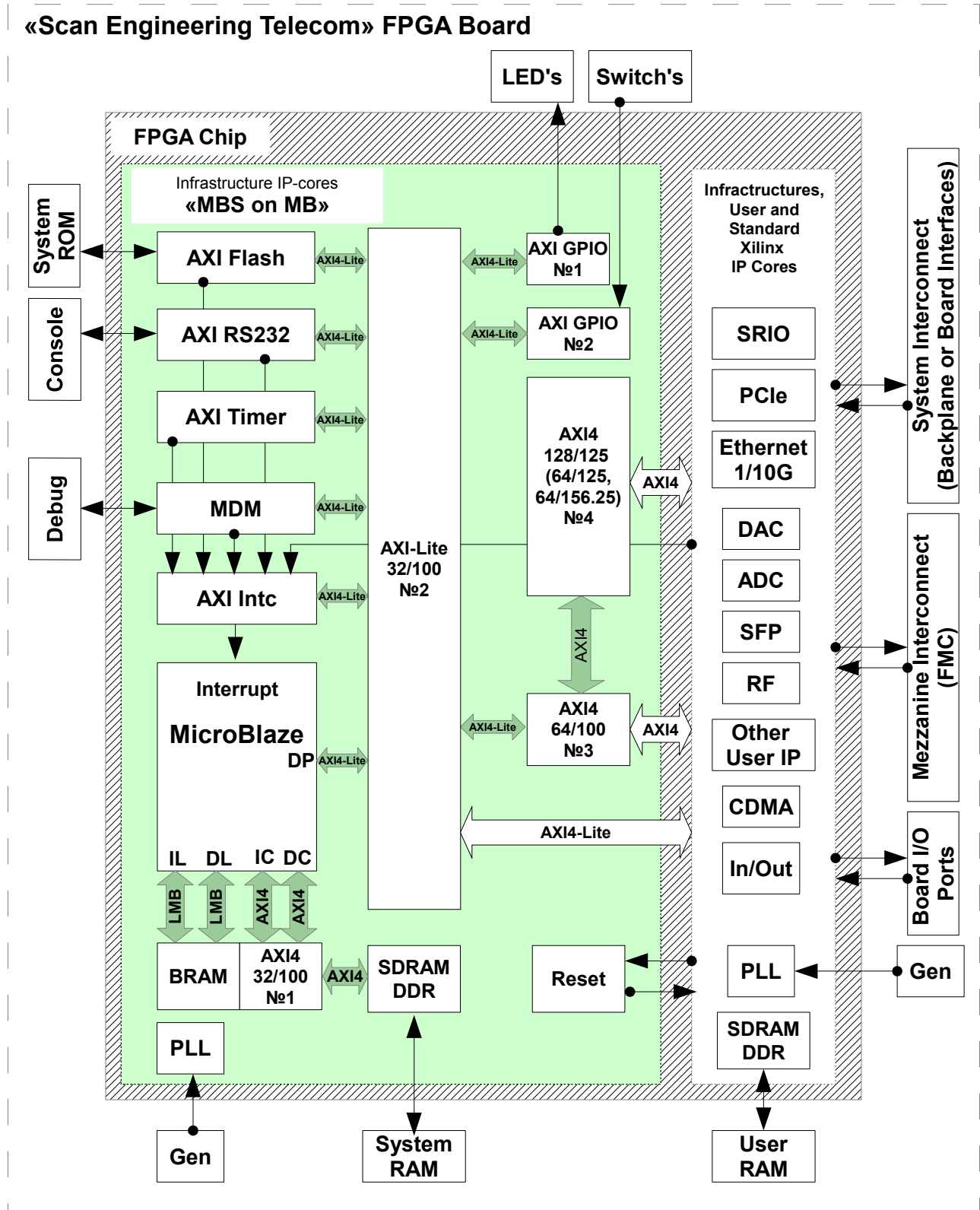


Рисунок 1-1: Функциональная блок-схема

Основные особенности

Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze» входит в состав предварительно подготовленных аппаратных платформ для ряда FPGA модулей или может использоваться самостоятельно в составе аппаратных платформ пользователя. Примером предварительно подготовленной аппаратной платформы может выступать «Аппаратная платформа для FPGA модулей „Core-0“» (см. документ [1]).

Основные функциональных группы инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze»:

Микропроцессорное ядро:

- 32-х разрядный микропроцессор на базе IP-ядра MicroBlaze, работающий на частоте 100 МГц;
- использование интерфейсов IP-ядра MicroBlaze «IL», «DL», «IC», «DC», «DP», «Interrupt»;
- объём кэш-памяти: 16 Кбайт (Virtex-6) или 64 Кбайт (Virtex-7).

Группа коммутаторов AXI4:

- коммутатор №1, подключение только контроллера SDRAM DDR (System RAM);
- коммутатор №2, подключение к 32-м разрядным низкоскоростным устройствам;
- коммутатор №3, подключение к 64-м разрядным низкоскоростным устройствам (CDMA, 1G Ethernet и т. д.);
- коммутатор №4, подключение к 64-м (Virtex-6) или 128-и (Virtex-7) разрядным высокоскоростным устройствам (CDMA, PCIe, SRIO, 10G Ethernet и т. д.).

Группа окружения микропроцессорного ядра:

- блок памяти BRAM 32 Кбайт ;
- блок контроллера памяти SDRAM DDR (System RAM, в зависимости от марки FPGA модуля 128/256/512 Мбайт);
- контроллер аппаратных прерываний;
- блок отладки через JTAG интерфейс;
- аппаратный таймер;
- блок работы с флеш-памятью.

Группа сервисных модулей:

- последовательный порт ввода/вывода типа RS-232 (скорость 115200-8-n1);
- блок светодиодных индикаторов;
- блок внешних переключателей.

Таблица 1-1: Требуемые ресурсы для инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze»

Семейство FPGA	Slices	Registers	LUTs	Block RAM
Virtex-6	4977	9073	10155	22
Virtex-7	6544	17665	16503	78

Ограничения

Исполняемые микропроцессорным ядром MicroBlaze инструкции могут располагаться только в двух областях памяти: во внутренней, по отношению к FPGA микросхеме, памяти BRAM и внешней SDRAM DDR (System RAM).

Доступ в режиме Master AXI шины к памяти BRAM и внешней SDRAM DDR (System RAM) со стороны устройств, подключаемых к интерфейсным коммутаторам №2, №3 и №4 не возможен.

Лицензирование и информация для заказа

По вопросам приобретения и использования инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

2 Введение

На рисунке 1-1 представлена функциональная блок-схема, включающая в себя структурную схему инфраструктуры IP-ядер «MBS on MB» и определяющую ее местоположение в составе FPGA микросхемы ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком».

Структурная схема «MBS on MB» обеспечивает возможность использования окружения FPGA микросхемы, формируемое исходя из двух основополагающих принципов, лежащих в основе схемотехнических решений аппаратной части ряда FPGA модулей.

Принцип первый. Структура ряда FPGA модулей содержит в себе одинаковые схемотехнические решения по окружению основной FPGA микросхемы однотипным по функциональности набором микросхем. Это окружение включает в себя:

- один или несколько внешних задающих опорных генераторов;
- один или несколько делителей частот опорных генераторов;
- банк энергонезависимой памяти, типа Flash;
- несколько банков динамической памяти, типа SDRAM DDR;
- интерфейс отладки уровня JTAG;
- последовательный порт ввода/вывода, типа RS-232;
- блок светодиодных индикаторов;
- блок внешних переключателей.

Принцип второй. На каждом FPGA модуле может быть осуществлено подключение основной FPGA микросхемы к различным шинным технологиям, например, PCIe, SRIO, Ethernet и т. д. В каждом конкретном случае, тот или иной FPGA модуль может обеспечить разную комбинацию шинных технологий. Поддержка той или иной шинной технологии определяется схемотехническими решениями конкретных типов FPGA модулей и потребностью пользователя в использовании той или иной шины в решаемой им задаче. Пользователь выбирает сам какие шины использовать.

Учитывая эти два принципа формирования схемотехнических решений аппаратной части ряда FPGA модулей, разработчиками ЗАО «Скан Инжиниринг Телеком» предлагается единая для ряда FPGA модулей структурная схема «MBS on MB». В своей реализации эта схема охватывает работу только с набором типового окружения FPGA микросхем, а так же обеспечивает возможность подключения различных шинных технологий и дополнительных пользовательских IP-ядер и инфраструктур IP-ядер за счет включения в состав структуры «MBS on MB» интерфейсных коммутаторов уровня AXI.

Функциональные возможности, заложенные в «MBS on MB», позволяют решать общий, для ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», набор типовых задач по:

- организации минимальной по функциональности микропроцессорной архитектуры на базе микропроцессорного ядра MicroBlaze с поддержкой возможности отладки исполняемого кода через интерфейс JTAG и поддержкой системы прерываний;
- размещению и исполнению двоичного кода ядром MicroBlaze из статической памяти типа BRAM или динамической памяти типа SDRAM DDR;
- обеспечению работы микропроцессорного ядра MicroBlaze с динамической памятью типа SDRAM DDR через кеш-контроллер;
- сохранению и загрузке исполняемого двоичного кода для микропроцессорного ядра MicroBlaze из энергонезависимой памяти типа Flash;
- организации консольного интерфейса на базе порта ввода/вывода типа RS-232;
- доступу к блокам светодиодных индикаторов и внешних переключателей;
- поддержке аппаратного таймера, который может стать основой для решения ряда периодически повторяющихся задач;
- обеспечению присутствия нескольких шин AXI, предназначенных для подключения дополнительных, необходимых пользователю IP-ядер.

3 Структура

3.1 Основные модули и группы

В структурной схеме «MBS on MB», представленной на рисунке 1-1, можно выделить несколько основных модулей в виде IP-ядер, объединяемых в условные функциональные группы. С полным списком модулей, входящих в состав «MBS on MB», можно ознакомиться в приложении Б, таблицы Б-1 и Б-2.

1) Модуль микропроцессорного ядра MicroBlaze.

Модуль микропроцессорного ядра MicroBlaze — это 32-х разрядный микропроцессор, разработанный компанией Xilinx, удобный в использовании при реализации различных встраиваемых систем уровня микроконтроллера в FPGA микросхемах производства Xilinx. Ядро обладает набором следующих привлекательных для его использования свойств:

- хорошее соотношение вычислительной производительности и занимаемого ресурсного пространства в FPGA микросхеме при реализации встраиваемой системы;
- достаточная вычислительная производительность, пригодная для решения определенного класса задач по организации управления содержимым множества банков регистров различных устройств, подключаемых к адресному пространству микропроцессора;
- достаточная вычислительная производительность для работы небольших по объёму RTOS;
- наличие средств разработки на языке «Си» и «ASM»;
- возможность пошаговой отладки исполняемых команд микропроцессора через JTAG интерфейс.

2) Группа нескольких коммутаторов AXI4.

Коммутатор AXI4 — это коммутатор, разработанный компанией Xilinx, который позволяет создавать шинные структуры вокруг микропроцессорного ядра MicroBlaze. Шинные структуры предназначены для реализации адресного пространства микропроцессорного ядра. К коммутатору подключаются различные устройства, которые могут осуществлять через него неблокируемый обмен данными в режиме ведущих (Master) и ведомых (Slave) устройств. Коммутатор обладает следующими привлекательными для его использования свойствами:

- гибкость построения различных встраиваемых систем на основе AXI шин последнего поколения, которые соответствует стандарту AMBA (Advanced Microcontroller Bus Architecture) 4.0;
- неблокируемая структура и возможность пакетного обмена между ведущими и ведомыми устройствами обеспечивают высокую производительность;
- масштабируемость коммутатора позволяет получить оптимальные соотношения производительности к занимаемому ресурсному пространству при реализации различных встраиваемых систем.

3) Группа модулей окружения микропроцессорного ядра MicroBlaze.

Эти модули являются дополнительными элементами, которые обеспечивают работу микропроцессорного ядра MicroBlaze в составе «MBS on MB». Данные элементы обеспечивают необходимые ресурсы для эффективного функционирования на микропроцессоре разрабатываемого пользователем программного обеспечения на языке «Си» и «ASM». К числу таких элементов относятся:

- кеш-контроллер (в составе IP ядра MicroBlaze);
- блок памяти BRAM;
- блок контроллера памяти SDRAM DDR;
- контроллер аппаратных прерываний;
- блок отладки через JTAG интерфейс;
- аппаратный таймер;
- блок флеш-памяти;

4) Группа сервисных модулей.

К этой группе относятся модули, посредством которых можно реализовать интерфейс взаимодействия с пользователем. Данный интерфейс пользователя может позволять управлять рабочей конфигурацией, отображать внутреннее состояние реализованного функционала на FPGA модуле. В состав этой группы входят следующие модули:

- последовательный порт ввода/вывода типа RS-232;
- блок светодиодных индикаторов;
- блок внешних переключателей.

5) Группа дополнительных модулей, необходимых пользователю для решения его функциональных задач.

При реализации собственных, функционально законченных аппаратных платформ для FPGA модулей, пользователь, беря за основу микропроцессорную систему, должен самостоятельно дополнить ее необходимыми ему дополнительными модулями в виде отдельных IP-ядер или инфраструктурами IP-ядер. Подключение дополнительных модулей к микропроцессорной системе осуществляется через группу коммутаторов AXI4.

3.2 Схема тактирования

Основой схемы тактирования «MBS on MB» является внешний задающий генератор, расположенный на печатной плате FPGA модуля и подключенный к одной из внутренних PLL (Phase Locked Loop controller) схем FPGA микросхемы.

3.3 Схема сброса

Схема сброса «MBS on MB» формируется по принципу объединения в одну шину всех линий сигналов сброса от каждого из модулей, входящих в состав микропроцессорной системы. На стадии формирования собственной аппаратной платформы у пользователя существует возможность осуществить привязку источника сигнала сброса к этой шине.

Сигнал сброса может поступать на такую шину от различных источников:

- При реализации FPGA модуля в формате VPX сигнал «Reset» может поступать с объединительной платы (backplane). Как правило, такой сигнал генерирует внешний источник в виде CPU модуля или специального контроллера, имеющего доступ к линии сброса на объединительной плате.
- При реализации FPGA модуля в формате AMC сигнал «Reset» может быть сформирован собственной, внутренней по отношению к FPGA микросхеме, схемой пользователя. Причиной такого формирования сигнала «Reset» является отсутствие в спецификации MicroTCA отдельной шины распространения сигнала «Reset» через объединительную плату.
- При реализации пользователем собственной аппаратной платформы для FPGA микросхемы, неотъемлемой частью которой является использование технологии PCIe, источником сигнала «Reset» может являться предусмотренный в технологии PCIe метод распространения сигнала сброс, известный как «Hot Reset». В этом случае источником сигнала «Reset» является встроенный в FPGA микросхему аппаратный контроллер PCIe.

3.4 Ядро микропроцессора MicroBlaze

В основе микропроцессорной структуры «MBS on MB» лежит микропроцессорное ядро MicroBlaze производства Xilinx.

В предлагаемой пользователю структуре «MBS on MB» микропроцессорное ядро MicroBlaze работает на частоте задающего генератора 100 МГц.

Исполняемые микропроцессорным ядром инструкции могут размещаться в двух видах памяти, встроенной в FPGA памяти BRAM и внешней, по отношению к FPGA, памяти SDRAM DDR.

Блок внутренней памяти BRAM подключается к микропроцессорному ядру MicroBlaze через порты «IL» и «DL». После операции аппаратного сброса микропроцессорного ядра, по включению питания модуля FPGA или по приходу сигнала аппаратного сброса от внешнего источника, начинается исполнение инструкций микропроцессорным ядром MicroBlaze из областей памяти, адреса которых располагаются в векторах прерываний. Непосредственно сами ячейки памяти векторов прерываний располагаются в данном блоке памяти BRAM. Заполнение данного блока памяти BRAM необходимыми первоначальными значениями векторов прерываний и непосредственно инструкциями для микропроцессорного ядра MicroBlaze осуществляется подсистемой загрузки конфигурации FPGA микросхемы в автоматическом режиме, после подачи питания FPGA микросхеме, из содержимого загрузочных секторов «Platform Flash».

Блок внешней памяти DDR подключается к ядру MicroBlaze через порты «IC» и «DC» кеш-контроллера. Данный блок памяти помечен на структурной схеме (см. рис. 1-1) как «System RAM». В этом блоке памяти могут храниться как инструкции, исполняемые микропроцессорным ядром MicroBlaze, так и данные, необходимые для работы программ, написанных на языках «Си» и «ASM».

Для обеспечения доступа к множеству периферийных устройств, включаемых в адресное пространство микропроцессорного ядра MicroBlaze, служит система коммутаторов AXI, подключение к которой осуществляется микропроцессорным ядром MicroBlaze через порт «DP».

При разработке приложений пользователя для микропроцессорного ядра MicroBlaze важно помнить, что исполняемые ядром инструкции могут располагаться только в областях памяти, реализацию которых обеспечивают устройства, подключенные к портам «IL» и «IC». В контексте микропроцессорной системы, исполняемые инструкции микропроцессорным ядром MicroBlaze могут располагаться только в двух областях памяти, во внутренней памяти BRAM, подключенной к порту «IL» и внешней SDRAM DDR, подключенной к порту «IC».

3.5 Отладчик JTAG

Для осуществления удобства процесса разработки программного обеспечения для микропроцессорного ядра MicroBlaze на стадии отладки скомпилированного кода, написанного на языках «Си» и «ASM», в состав микропроцессорной системы включен модуль аппаратной поддержки процесса отладки. Данный модуль позволяет осуществлять пошаговое исполнение инструкций микропроцессорным ядром MicroBlaze через специальное устройство, называемое «JTAG отладчиком», управление которым осуществляется в специальном режиме отладки среды разработки программного обеспечения «Xilinx SDK». JTAG отладчик фирмы Xilinx представлен на рисунке 3-1.



Рисунок 3-1: JTAG отладчик фирмы Xilinx

Используемый в составе «MBS on MB» модуль аппаратной поддержки процесса отладки подключается к выводам микросхемы FPGA, которые имеют выход к JTAG инфраструктуре, реализованной в каждом FPGA модуле производства ЗАО «Скан Инжиниринг Телеком».

3.6 Контроллер прерываний

Для организации подсистемы прерываний для микропроцессорного ядра MicroBlaze в структуре «MBS on MB» служит модуль контроллера прерываний, который связывается с входом источника внешнего сигнала прерывания ядро MicroBlaze.

Доступ к регистрам конфигурации и состояния контроллера прерываний осуществляется микропроцессорным ядром MicroBlaze через адресуемый интерфейс AXI контроллера прерываний. Через этот интерфейс контроллер подключается к AXI коммутатору №2.

3.7 Аппаратный таймер

Областей практического применения возможностей аппаратного таймера множество. Разработчики ЗАО «Скан Инжиниринг Телеком» включили аппаратный таймер в состав структуры «MBS on MB» с целью использования его для организации источника периодически повторяющегося сигнала прерывания, поступающего микропроцессорному ядру MicroBlaze. Этот сигнал прерывания может служить основой для работы планировщика задач ядра OCPB (Free-RTOS или Xilkernel), которые могут быть использованы для разработки приложений пользователя.

Доступ к регистрам конфигурации и состояния аппаратного таймера осуществляется микропроцессорным ядром MicroBlaze через адресуемый интерфейс AXI. Через этот интерфейс аппаратный таймер подключается к AXI коммутатору №2. Сигнал прерывания, генерируемый аппаратным таймером по достижению им в процессе своей работы заданных условий, передается микропроцессорному ядру MicroBlaze через контроллер прерываний.

3.8 Флеш-память

Структура «MBS on MB» обеспечивает работу с устанавливаемой на FPGA модули производства ЗАО «Скан Инжиниринг Телеком» флеш-памятью. По функциональному назначению эту флеш-память можно разделить на два вида:

- флеш-память для хранения конфигурации самой FPGA, в терминологии Xilinx — «Platform Flash»;
- флеш-память для хранения данных пользователя.

На разных типах FPGA модулей может быть установлено разное количество микросхем флеш-памяти, подключаемых к микросхеме FPGA. Подключение флеш-памяти может быть осуществлено как через параллельный, так и через последовательный интерфейсы.

Для обеспечения процесса первоначальной инициализации FPGA микросхемы, необходимая структура в виде аппаратной платформы загружается в FPGA микросхему из «Platform Flash». Подключение «Platform Flash» к FPGA микросхеме осуществляется через параллельный интерфейс на всех типах FPGA модулей. Как правило, интерфейсом подключения «Platform Flash» является «Select MAP» (16 бит).

Для хранения данных пользователя на одних типах FPGA модулей устанавливается дополнительная флеш-память, на других нет. Как правило, эта дополнительная флеш-память подключается к FPGA микросхеме через SPI интерфейс.

На FPGA модулях, где не устанавливается отдельная флеш-память с SPI интерфейсом, для хранения данных пользователя можно использовать часть секторов «Platform Flash». Хранение данных пользователя возможно при правильном размещении в секторах «Platform Flash» блоков данных конфигурации (аппаратной платформы) для FPGA микросхемы и блоков данных пользователя.

Для обеспечения доступа к обоим видам флеш-памяти в состав «MBS on MB» включены модули, позволяющие работать через адресное пространство микропроцессорного ядра MicroBlaze с секторами флеш-памяти.

Примером использования флеш-памяти для хранения данных пользователя может служить размещение в ней исполняемого образа с набором инструкций для микропроцессорного ядра MicroBlaze. Этот образ, после операции системного сброса для всей структуры «MBS on MB», может быть перемещен загрузчиком MBL, постоянно расположенным в блоке памяти BRAM, из флеш-памяти в DDR («System RAM»), и запущен на исполнение микропроцессорным ядром MicroBlaze из «System RAM».

Более подробно о работе загрузчика MBL можно узнать из документа [2].

3.9 Последовательный порт ввода/вывода

Для организации возможности взаимодействия пользователя с исполняемым на микропроцессорном ядре MicroBlaze программным обеспечением, в состав микропроцессорной системы введен последовательный порт ввода/вывода типа RS-232. Данный интерфейс позволяет разработчику программного обеспечения для микропроцессорного ядра MicroBlaze реализовать собственный консольный интерфейс.

Последовательный порт ввода/вывода с одной стороны подключен к выводам микросхемы FPGA, соединенными с организованным на FPGA модуле отладочным USB-портом, с другой стороны подключен к AXI коммутатору №2.

3.10 Светодиодные индикаторы и внешние переключатели

Для организации возможности осуществления конфигурирования некоторых параметров реализуемых функциональных задач в FPGA микросхеме, в распоряжение пользователей FPGA модулей предоставляется набор механических переключателей, установленных непосредственно на самих платах FPGA модулей.

Доступ к информации о состоянии данных механических переключателей в микропроцессорной системе осуществляется через модуль, помеченный на структурной схеме 1-1 как «AXI GPIO» №2.

Для организации возможности отображения внутреннего состояния реализованного функционала в FPGA микросхеме FPGA модуля, в состав FPGA модулей включается набор светодиодных индикаторов, выводимых, как правило, на фронтальные панели самих FPGA модулей.

Возможность управлять состоянием светодиодных индикаторов в микропроцессорной системе осуществляется через модуль, помеченный на структурной схеме (см. рисунок 1-1) как «AXI GPIO» №1.

3.11 Коммутаторы AXI4

С целью организации эффективной обработки одновременно протекающих в микропроцессорной системе процессов, в ее структуру введено несколько коммутаторов AXI4. Такое структурное решение позволяет осуществить развязку на физическом уровне протекающих в один и тот же момент времени потоков данных между разными устройствами и выполнять одновременную обработку этих потоков.

На структурной схеме микропроцессорной системы, представленной на рисунке 1-1, существует четыре коммутатора AXI4. Каждый коммутатор имеет свое функциональное назначение и отличные друг от друга характеристики, влияющие на общую производительность микропроцессорной системы при обработке проходящих через неё потоков данных.

Первый коммутатор AXI подключен непосредственно к портам «IC» и «DC» кеш-контроллера микропроцессорного ядра MicroBlaze. К этому коммутатору подключается контроллер SDRAM DDR, обслуживающий установленный на FPGA модуль один SDRAM DDR банк памяти. В соответствии с рекомендациями Xilinx по использованию кеш-контроллера для микропроцессорного ядра MicroBlaze, доступ к области памяти, обслуживаемой кеш-контроллером, должен иметь только микропроцессорное ядро MicroBlaze. Никакие другие устройства не должны иметь доступа к этой памяти в режиме мастера шины AXI. В соответствии с этой рекомендацией, коммутатор Материнская плата №1 должен обслуживать только работу микропроцессорного ядра MicroBlaze с банком SDRAM DDR памяти, помеченным как «System RAM». Коммутатор номер один имеет 32-х битную разрядность шины данных и функционирует на частоте задающего генератора 100 МГц. Теоретическая пропускная способность коммутатора №1 около 381,47 Мбайт/с.

Второй коммутатор AXI подключен к «DP» порту микропроцессорного ядра MicroBlaze. Через этот коммутатор микропроцессорное ядро MicroBlaze получает доступ к адресному пространству некоторых и дополнительных, не входящих в состав микропроцессорной системы, модулей. К этому коммутатору подключены те модули микропроцессорной системы, которые имеют адресуемый интерфейс AXI. Коммутатор номер два имеет 32-х битную разрядность шины данных и функционирует на частоте задающего генератора 100 МГц. Теоретическая пропускная способность коммутатора номер один около 381,47 Мбайт/с.

Третий коммутатор AXI подключен к коммутатору №2 и предназначен для осуществления коммутации потоков данных от различных, условно низкоскоростных устройств, используемых пользователем для решения своих задач. Примером условно низкоскоростного устройства, подключаемого к этому коммутатору, может являться контроллер Ethernet 1 Гбит/с. К этому же коммутатору целесообразно подключить банк памяти типа BRAM или SDRAM DDR, в котором можно хранить необходимые для обмена по Ethernet буфера данных, а также можно подключить CDMA контроллер, чтобы перемещать эти буфера данных. Коммутатор номер три имеет 64-х битную разрядность шины данных и функционирует на частоте задающего генератора 100 МГц. Теоретическая пропускная способность коммутатора номер три около 762,94 Мбайт/с.

Четвертый коммутатор AXI подключен к коммутатору №3 и предназначен для осуществления коммутации потоков данных от различных высокоскоростных устройств, используемых пользователем для решения своих задач. Примером высокоскоростного устройства могут выступать контроллеры PCIe, SRIO или 10 Гбит/с Ethernet. К этому же коммутатору целесообразно подключить банк памяти типа SDRAM DDR, в котором можно хранить буфера с данными, предназначенными для обмена на основе вышеупомянутых технологий. Так же к этому коммутатору можно подключить CDMA контроллер, чтобы иметь возможность перемещать буфера потоков данных. Коммутатор номер четыре имеет 64-х битную разрядность шины данных и функционирует на частоте задающего генератора 200 МГц для FPGA семейства Virtex-6, для FPGA семейства Virtex-7 разрядность 128 бит, частота 125 МГц. Теоретическая пропускная способность коммутатора №4 около 1,86 Гбайт/с для FPGA семейства Virtex-7 и около 1,49 Гбайт/с для FPGA семейства Virtex-6.

3.12 Карта памяти

Карта памяти микропроцессорной системы сформирована с учетом включаемых в ее состав базовых модулей, имеющих адресуемый интерфейс AXI.

Структура микропроцессорной системы может быть реализована на разных FPGA модулях производства ЗАО «Скан Инжиниринг Телеком». На существующей линейке FPGA модулей устанавливаются микросхемы семейства Virtex-6 и Virtex-7 компании Xilinx. Карты памяти микропроцессорной системы при ее реализации на Virtex-6 или Virtex-7 имеют отличия, которые касаются начальных адресов расположения блоков памяти, относящихся к базовым модулям, входящим в состав платформы.

В таблице 3-1 представлена карта памяти для FPGA модулей с установленной микросхемой семейства Virtex-7, в таблице 3-2 для семейства Virtex-6.

Области памяти, помеченные как «Свободное пространство», могут быть использованы пользователем для включения в адресное пространство своей аппаратной платформы необходимых модулей, имеющих адресуемый интерфейс AXI.

Области памяти, помеченные как «Блок памяти DDR (System RAM)», в зависимости от марки FPGA модуля могут иметь разный размер. Этот размер соответствует реальному размеру одного банка DDR памяти, установленного на конкретном FPGA модуле.

Таблица 3-1: Карта памяти для FPGA модулей на базе семейства Virtex-7

Адрес начала	Адрес конца	Размер, байт	Описание
0000_0000	0001_FFFF	128 К	Блок памяти BRAM (Bootload RAM)
0002_0000	3FFF_FFFF	1048448 К	Свободное пространство
4000_0000	4000_FFFF	64 К	Контроллер прерываний

Продолжение таблицы на следующей странице

Продолжение таблицы 3-1

Адрес начала	Адрес конца	Размер, байт	Описание
4001_0000	4001_FFFF	64 K	Аппаратный таймер
4002_0000	4002_FFFF	64 K	Светодиодные индикаторы
4003_0000	4003_FFFF	64 K	Внешние переключатели и контроль состояния DDR
4004_0000	410F_FFFF	17152 K	Свободное пространство
4110_0000	4110_FFFF	64 K	Контроллер SPI флеш-памяти (System ROM)
4111_0000	413F_FFFF	3008 K	Свободное пространство
4140_0000	4140_0FFF	4 K	Отладчик MicroBlaze Debug Module
4140_1000	415F_FFFF	2044 K	Свободное пространство
4160_0000	4160_FFFF	64 K	Порт RS-232
4161_0000	BFFF_FFFF	2074560 K	Свободное пространство
C000_0000	DFFF_FFFF	512 M	Блок памяти SDRAM DDR (System RAM)
E000_0000	FFFF_FFFF	512 M	Свободное пространство

Таблица 3-2: Карта памяти для FPGA модулей на базе семейства Virtex-6

Адрес начала	Адрес конца	Размер, байт	Описание
0000_0000	0000_7FFF	32 K	Блок памяти BRAM (Bootload RAM)
0000_8000	0FFF_FFFF	262112 K	Свободное пространство
1000_0000	10FF_FFFF	16 M	Контроллер параллельной флеш-памяти (System ROM)
1100_0000	3FFF_FFFF	752 M	Свободное пространство
4000_0000	4000_FFFF	64 K	Контроллер прерываний
4001_0000	4001_FFFF	64 K	Аппаратный таймер
4002_0000	4011_FFFF	1 M	Свободное пространство
4012_0000	4012_FFFF	64 K	Светодиодные индикаторы
4013_0000	4013_FFFF	64 K	Внешние переключатели и контроль состояния DDR
4014_0000	413F_FFFF	19200 K	Свободное пространство
4140_0000	4140_FFFF	64 K	Отладчик
4141_0000	415F_FFFF	198 4K	Свободное пространство
4160_0000	4160_FFFF	64 K	Порт RS-232
4161_0000	BFFF_FFFF	2074560 K	Свободное пространство
C000_0000	FFFF_FFFF	XXX M	Блок памяти SDRAM DDR (System RAM) и свободные блоки В зависимости от типа FPGA модуля размер блоков памяти могут различаться. Рекомендуемые значения выделенной памяти представлены в таблице 3-3.

Таблица 3-3: Карта памяти SDRAM DDR (User RAM и System RAM) MBS on MB

Адрес начала	Адрес конца	Размер	Блок памяти SDRAM DDR	Модуль	
				Память	Название
8000_0000	87FF_FFFF	128 M	User RAM	512 M	SAMC-713
8800_0000	BFFF_FFFF	896 M	Свободное пространство		
C000_0000	C7FF_FFFF	128 M	System RAM		
C800_0000	FFFF_FFFF	896 M	Свободное пространство		
8000_0000	8FFF_FFFF	256 M	User RAM	1024 M	
9000_0000	BFFF_FFFF	768 M	Свободное пространство		
C000_0000	CFFF_FFFF	256 M	System RAM		

Продолжение таблицы на следующей странице

Продолжение таблицы 3-3

Адрес начала	Адрес конца	Размер	Блок памяти SDRAM DDR	Модуль	
				Память	Название
D000_0000	FFFF_FFFF	768 М	Свободное пространство		
8000_0000	87FF_FFFF	128 М	User RAM	512 М	SAMC-715
8800_0000	BFFF_FFFF	896 М	Свободное пространство		
C000_0000	C7FF_FFFF	128 М	System RAM		
C800_0000	FFFF_FFFF	896 М	Свободное пространство		
8000_0000	8FFF_FFFF	256 М	User RAM	1024 М	
9000_0000	BFFF_FFFF	768 М	Свободное пространство		
C000_0000	CFFF_FFFF	256 М	System RAM		
D000_0000	FFFF_FFFF	768 М	Свободное пространство		
8000_0000	87FF_FFFF	128 М	User RAM	512 М	SAMC-717
8800_0000	BFFF_FFFF	896 М	Свободное пространство		
C000_0000	C7FF_FFFF	128 М	System RAM		
C800_0000	FFFF_FFFF	896 М	Свободное пространство		
8000_0000	8FFF_FFFF	256 М	User RAM	1024 М	
9000_0000	BFFF_FFFF	768 М	Свободное пространство		
C000_0000	CFFF_FFFF	256 М	System RAM		
D000_0000	FFFF_FFFF	768 М	Свободное пространство		
8000_0000	87FF_FFFF	128 М	User RAM	512 М	SVP-713
8800_0000	BFFF_FFFF	896 М	Свободное пространство		
C000_0000	C7FF_FFFF	128 М	System RAM		
C800_0000	FFFF_FFFF	896 М	Свободное пространство		
8000_0000	8FFF_FFFF	256 М	User RAM	1024 М	
9000_0000	BFFF_FFFF	768 М	Свободное пространство		
C000_0000	CFFF_FFFF	256 М	System RAM		
D000_0000	FFFF_FFFF	768 М	Свободное пространство		
8000_0000	9FFF_FFFF	512 М	User RAM	2048 М	
A000_0000	BFFF_FFFF	512 М	Свободное пространство		
C000_0000	DFFF_FFFF	512 М	System RAM		
E000_0000	FFFF_FFFF	512 М	Свободное пространство		
8000_0000	83FF_FFFF	64 М	User RAM	256 М	SVP-723
8400_0000	BFFF_FFFF	960 М	Свободное пространство		
C000_0000	C3FF_FFFF	64 М	System RAM		
C400_0000	FFFF_FFFF	960 М	Свободное пространство		
8000_0000	87FF_FFFF	128 М	User RAM	512 М	
8800_0000	BFFF_FFFF	896 М	Свободное пространство		
C000_0000	C7FF_FFFF	128 М	System RAM		
C800_0000	FFFF_FFFF	896 М	Свободное пространство		
8000_0000	8FFF_FFFF	256 М	User RAM	1024 М	
9000_0000	BFFF_FFFF	768 М	Свободное пространство		
C000_0000	CFFF_FFFF	256 М	System RAM		
D000_0000	FFFF_FFFF	768 М	Свободное пространство		
8000_0000	87FF_FFFF	128 М	User RAM	512 М	SVP-726
8800_0000	BFFF_FFFF	896 М	Свободное пространство		
C000_0000	C7FF_FFFF	128 М	System RAM		
C800_0000	FFFF_FFFF	896 М	Свободное пространство		
8000_0000	8FFF_FFFF	256 М	User RAM	1024 М	
9000_0000	BFFF_FFFF	768 М	Свободное пространство		
C000_0000	CFFF_FFFF	256 М	System RAM		
D000_0000	FFFF_FFFF	768 М	Свободное пространство		

Продолжение таблицы на следующей странице

Продолжение таблицы 3-3

Адрес начала	Адрес конца	Размер	Блок памяти SDRAM DDR	Модуль	
				Память	Название
D000_0000	FFFF_FFFF	768 М	Свободное пространство	2048 М	
8000_0000	9FFF_FFFF	512 М	User RAM		
A000_0000	BFFF_FFFF	512 М	Свободное пространство		
C000_0000	DFFF_FFFF	512 М	System RAM		
E000_0000	FFFF_FFFF	512 М	Свободное пространство		

3.13 Таблица векторов прерываний

В таблице 3-4 приведены доступные вектора прерываний.

Таблица 3-4: Таблица векторов прерываний

Номер вектора	Устройство
0	Отладчик MDM (MicroBlaze Debug Module)
1	Порт RS232
2	Аппаратный таймер
3	Контроллер SPI флеш-памяти (System ROM)

4 Применение

Предлагаемая пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком» инфраструктура IP-ядер «MBS on MB» может быть использована в процессе разработки пользователем собственной аппаратной платформы для конкретного типа FPGA модулей.

Разработчики компании ЗАО «Скан Инжиниринг Телеком» предварительно подготовили для ряда FPGA модулей готовые проекты, включив в их состав структуру «MBS on MB». Эти проекты охватывают работу не только со структурой «MBS on MB», но и включают в себя возможность работы с рядом шинных технологий и FMC модулей производства ЗАО «Скан Инжиниринг Телеком».

Со списком готовых проектов, включающих в себя структуру «MBS on MB», с рядом поддерживаемых этими проектами FPGA модулями и версиями сред разработки, можно ознакомиться в таблице A-1 приложения A.

Пользователь может взять соответствующий его типу FPGA модуля готовый проект и дополнить его необходимыми ему функциональными IP-ядрами и инфраструктурами IP-ядер и подключая их к интерфейсным AXI коммутаторам №3 и №4 сформировать свою собственную аппаратную платформу.

При необходимости организации контуров прерываний для микропроцессорного ядра MicroBlaze от необходимых пользователю IP-ядер и инфраструктур IP-ядер, пользователь должен подключить их линии запроса прерываний к контроллеру прерываний структуры «MBS on MB».

Организация схем тактирования и сброса необходимых пользователю дополнительных IP-ядер и инфраструктур IP-ядер осуществляется пользователем самостоятельно и может быть интегрирована с решениями в этой части структуры «MBS on MB».

Приложение А Список поддерживаемых проектов для FPGA модулей

Таблица А-1: Микропроцессорная система. Список поддерживаемых проектов

Название проекта	Название входящих инфраструктур FPGA	Семейство FPGA микросхем	Модуль	Среда разработки
Аппаратная платформа «Core-0»	«MBS on MB»	Virtex-6	SAMC-713/715/717, SVP-710	710x ISE 14.6
	«Поддержка PCI Express»			
	«MBS on MB»	Virtex-7	SVP-723/726	Vivado 2014.2
	«Поддержка PCI Express»			
Аппаратная платформа «Core-1»	«MBS on MB»	Virtex-6	SAMC-713/715/717, SVP-710	710x ISE 14.6
	«Поддержка PCI Express»			
	«Поддержка SFM-4A250»	Virtex-7	SVP-723/726	Vivado 2014.2
	«MBS on MB»			
	«Поддержка PCI Express»	Virtex-7	SVP-723/726	Vivado 2014.2
	«Поддержка SFM-4A250»			
Аппаратная платформа «Core-2»	«MBS on MB»	Virtex-6	SAMC-713/715/717, SVP-710	710x ISE 14.6
	«Поддержка PCI Express»			
	«Поддержка SFM-1A5000»	Virtex-7	SVP-723/726	Vivado 2014.2
	«MBS on MB»			
	«Поддержка PCI Express»	Virtex-7	SVP-723/726	Vivado 2014.2
	«Поддержка SFM-1A5000»			
Аппаратная платформа «Core-3»	«MBS on MB»	Virtex-6	SAMC-713/715/717, SVP-710	710x ISE 14.6
	«Поддержка PCI Express»			
	«Поддержка SFM-2A1000-2D1000»	Virtex-7	SVP-723/726	Vivado 2014.2
	«MBS on MB»			
	«Поддержка PCI Express»	Virtex-7	SVP-723/726	Vivado 2014.2
	«Поддержка SFM-2A1000-2D1000»			
Аппаратная платформа «Core-4»	«MBS on MB»	Virtex-6	SAMC-713/715/717, SVP-710	710x ISE 14.6
	«Поддержка PCI Express»			
	«Поддержка SFM-4D1000»	Virtex-7	SVP-723/726	Vivado 2014.2
	«MBS on MB»			
	«Поддержка PCI Express»	Virtex-7	SVP-723/726	Vivado 2014.2
	«Поддержка SFM-4D1000»			

Приложение Б**Список IP-ядер, входящих в состав микропроцессорной системы**

Таблица Б-1: Список IP-ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-6

Название IP-ядра	Тип IP-ядра	Версия	Комментарии
MicroBlaze	microblaze	8.50.b	Микропроцессорное ядро
Processor System Reset Module	proc_sys_reset	3.00.a	Модуль управления сбросом микропроцессорной подсистемы
MicroBlaze Debug Module	mdm	2.10.a	Модуль отладки через JTAG
AXI Interrupt Controller	axi_intc	1.04.a	Модуль контроллера прерываний
AXI External Memory Controller	axi_emc	1.03.b	Модуль контроллера параллельной флеш-памяти
AXI Timer/Counter	axi_timer	1.03.a	Модуль аппаратного таймера
AXI General Purpose IO	axi_gpio	1.01.b	Модуль параллельных портов ввода/вывода (LED's and Switch's)
Local Memory Bus	lmb_v10	2.00.b	Модуль Local Bus
AXI UART (Lite)	axi_uartlite	1.02.a	Модуль последовательного порта ввода/вывода типа RS-232
AXI Interconnect	axi_interconnect	1.06.a	Модуль AXI межсоединений
AXI to AXI Connector	axi2axi_connector	1.00.a	Модуль AXI межсоединений
AXI V6 Memory Controller	axi_v6_ddrx	1.06.a	Модуль контроллера блока SDRAM DDR для AXI
Block RAM (BRAM) Block	bram_block	1.00.a	Модуль конструктора блока BRAM
LMB BRAM Controller	lmb_bram_if_cntrl	3.10.c	Модуль контроллера блока BRAM для Local Bus
Clock generator	clock_generator	4.03.a	Модуль задающего тактового генератора

Таблица Б-2: Список IP-ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-7

Название IP-ядра	Тип IP-ядра	Версия	Комментарии
MicroBlaze	microblaze	9.3	Микропроцессорное ядро
Processor System Reset	proc_sys_reset	5.0	Модуль управления сбросом микропроцессорной подсистемы
MicroBlaze Debug Module	mdm	3.1	Модуль отладки через JTAG
AXI Interrupt Controller	axi_intc	4.1	Модуль контроллера прерываний
AXI Quad SPI	axi_quad_spi	3.2	Модуль контроллера SPI флеш-памяти
AXI Timer	axi_timer	2.0	Модуль аппаратного таймера
Local Memory Bus	lmb_v10	3.0	Модуль Local Bus
AXI GPIO	axi_gpio	2.0	Модуль параллельных портов ввода/вывода (LED's and Switch's)
AXI Uartlite	axi_uartlite	2.0	Модуль последовательного порта ввода/вывода типа RS-232
AXI Interconnect	axi_crossbar	2.1	Модуль AXI межсоединений
Memory Interface Generator	mig_7series	2.1	Модуль контроллера блока SDRAM DDR для AXI
Block Memory Block	blk_mem_gen	8.2	Модуль конструктора блока BRAM
LMB BRAM Controller	lmb_bram_if_cntrl	4.0	Модуль контроллера блока BRAM для Local Bus
Clocking Wizard	clk_wiz	5.1	Модуль задающего тактового генератора

Приложение В Занимаемые ресурсы в FPGA микросхеме

Таблица В-1: Ресурсы для IP ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-6

Тип IP ядра	Slice	Registers	LUTs	BRAM
microblaze	881	1397	1938	10
proc_sys_reset	13	31	20	
mdm	64	129	122	
axi_intc	53	79	92	
axi_emc	260	319	635	
axi_timer	105	210	281	
axi_gpio	47	93	119	
lmb_v10				
axi_uartlite	51	81	96	
axi_interconnect	893	1752	1371	
axi2axi_connector				
axi_v6_ddrx	1947	4047	10144	
bram_block				12
lmb_bram_if_cntrl	547	728	1414	
clock_generator				

Таблица В-2: Ресурсы для IP-ядер, входящих в состав микропроцессорной системы для FPGA семейства Virtex-7

Тип IP-ядра	Slice	Registers	LUTs	BRAM
microblaze	812	1713	1946	36
proc_sys_reset	13	25	13	
mdm	134	305	309	
axi_intc	53	103	140	
axi_quad_spi	166	528	337	
axi_timer	89	209	249	
lmb_v10				
axi_gpio	48	148	78	
axi_uartlite	36	84	89	
axi_crossbar	2235	6808	3831	2
mig_7series	2670	6325	7620	2
blk_mem_gen				4
lmb_bram_if_cntrl	471	724	1448	32
clk_wiz				

Список литературы

1. Аппаратная платформа для FPGA модулей Core-0. Руководство пользователя. [UG-FPGA-00-CORE-0](#) (цит. на с. 9).
2. Загрузчик MBL. Руководство пользователя. [UG-FPGA-00-MBL](#) (цит. на с. 14).